

DIALOG(R)File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

013389673      \*\*Image available\*\*

WPI Acc No: 2000-561611/ 200052

XRPX Acc No: N00-415920

Plasma display panel driving procedure involves applying pixel data pulse  
in synchronization with application timing of scan pulse and data pulse  
corresponding to logic level of pixel data

Patent Assignee: PIONEER ELECTRONIC CORP (PIOE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000221941	A	20000811	JP 9926671	A	19990203	200052 B

Priority Applications (No Type Date): JP 9926671 A 19990203

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000221941	A	22	G09G-003/28	

Abstract (Basic): JP 2000221941 A

NOVELTY - Pixel data pulses with voltage corresponding to logic level of pixel data, is applied to every line in synchronization with the application timing of the scan pulse. Maintenance pulse is also applied to the line electrode to discharge preset light emission cell. Stoppage of scan pulse application is performed, when the logic level of pixel data falls below preset level.

USE - For plasma display panel.

ADVANTAGE - Reduces power consumption, greatly.

pp; 22 DwgNo 1/31

Title Terms: PLASMA; DISPLAY; PANEL; DRIVE; PROCEDURE; APPLY; PIXEL; DATA;  
PULSE; APPLY; TIME; SCAN; PULSE; DATA; PULSE; CORRESPOND; LOGIC; LEVEL;  
PIXEL; DATA

Derwent Class: P85; T04

International Patent Class (Main): G09G-003/28

International Patent Class (Additional): G09G-003/20

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): T04-H03B; T04-H03C4

**THIS PAGE BLANK (USPTO)**

(11)特許出願公開番号  
特開2000-221941  
(P2000-221941A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl.'	識別記号	F I	テロト*(参考)
G 0 9 G 3/28		G 0 9 G 3/28	W 5 C 0 8 0
3/20	6 1 1	3/20	6 1 1 A
	6 2 2		6 2 2 K

審査請求 未請求 請求項の数9 OL (全 22 頁)

(21)出願番号 特願平11-26671

(22)出願日 平成11年2月3日(1999.2.3)

(71)出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 徳永 勉

山梨県中巨摩郡田富町2680番地 パイオニア株式会社ディスプレイセンター内

(72)發明者 三枝 信彦

山梨県中巨摩郡田富町2680番地 パイオニア株式会社ディスプレイセンター内

(74)代理人 100079119

弁理士 藤村 元彦

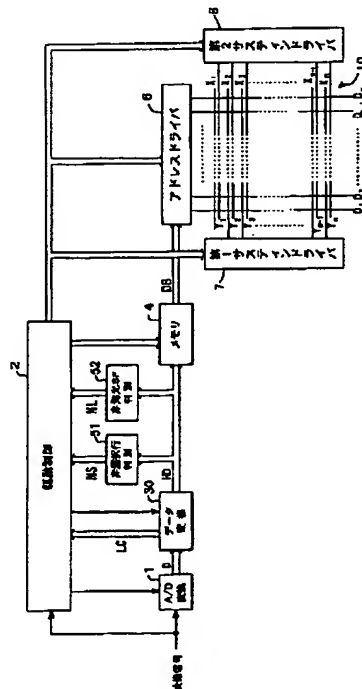
Fターム(参考) 5C080 AA05 BB05 DD26 EE29 FF12  
GG12 HH02 JJ02 JJ04

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】消費電力の低減を図ることが出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】1フィールドの表示期間をN個のサブフィールドに分割し、各サブフィールドにおいて、走査パルスを行電極の各々に順次印加して行くと共に上記走査パルス各々の印加タイミングに同期して1行分の画素データ各々の論理レベルに応じた電圧を有する画素データパルス各々を1行分毎に列電極の各々に印加することにより放電セル各々を選択的に放電せしめてこれら放電セル各々を発光セル又は非発光セルのいずれか一方に設定する画素データ書込行程と、サブフィールド各々に対応した回数だけ維持パルスを行電極に印加することにより発光セルのみを上記回数の分だけ放電させる発光維持行程とを実行し、上記画素データ書込行程において、1行分に対応した画素データ各々の論理レベルが全て所定レベルになる行に対応した行電極に対しては走査パルスの印加を停止せしめる。



## 【特許請求の範囲】

【請求項1】複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、

1フィールドの表示期間をN個のサブフィールドに分割し、前記サブフィールドの各々において、

走査パルスを前記行電極の各々に順次印加して行くと共に前記走査パルス各々の印加タイミングに同期して1行分の画素データ各々の論理レベルに応じた電圧を有する画素データパルス各々を1行分毎に前記列電極の各々に印加することにより前記放電セル各々を選択的に放電せしめて前記放電セル各々を発光セル又は非発光セルのいずれか一方に設定する画素データ書込行程と、

前記サブフィールド各々に対応した回数だけ維持パルスを前記行電極に印加することにより前記発光セルのみを前記回数の分だけ放電させる発光維持行程と、を実行し、

前記画素データ書込行程において、1行分に対応した前記画素データ各々の論理レベルが全て所定レベルになる行に対応した前記行電極に対しては前記走査パルスの印加を停止せしめることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】前記画素データの論理レベルに基づいて全ての前記放電セルが前記非発光セルとなる前記サブフィールドを判別しこの判別したサブフィールドでの前記発光維持行程では前記維持パルスの印加を停止せしめることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】N個の前記サブフィールド群における先頭部のサブフィールドにおいてのみで全ての前記放電セルを放電せしめることにより前記放電セル各々を前記発光セル又は前記非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、

N個の前記サブフィールドの内のいずれか1のサブフィールドでの前記画素データ書込行程において、前記画素データに応じて選択的に前記放電セルを選択放電せしめることにより前記放電セル各々を前記発光セル又は前記非発光セルのいずれか一方の状態に設定せしめることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項4】N個の前記サブフィールドの内のM個( $2 \leq M \leq N$ )の連続配列されたサブフィールドをサブフィールド群とし、

前記サブフィールド群における先頭部の前記サブフィールドにおいてのみで全ての前記放電セルを放電せしめることにより前記放電セル各々を前記発光セル又は前記非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、

前記サブフィールド群内のいずれか1の前記サブフィー

ルドでの前記画素データ書込行程において、前記画素データに応じて選択的に前記放電セルを選択放電せしめることにより前記放電セル各々を前記発光セル又は前記非発光セルのいずれか一方の状態に設定せしめることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項5】N個の前記サブフィールドを、各々が連続配列された複数個のサブフィールドからなるサブフィールド群に分け、

前記サブフィールド群における先頭部の前記サブフィールドにおいてのみで全ての前記放電セルを放電せしめることにより前記放電セル各々を前記発光セル又は前記非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、

前記サブフィールド群内のいずれか1の前記サブフィールドでの前記画素データ書込行程において、前記画素データに応じて選択的に前記放電セルを選択放電せしめることにより前記放電セル各々を前記発光セル又は前記非発光セルのいずれか一方の状態に設定せしめることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項6】前記選択放電を生起したサブフィールドの直後のサブフィールドにおける前記画素データ書込行程において再び前記選択放電を生起することを特徴とする請求項3～5に記載のプラズマディスプレイパネルの駆動方法。

【請求項7】前記サブフィールド群における最後尾のサブフィールドにおいてのみで全ての前記放電セルを非発光セルの状態にする放電を生起させる消去行程を設けたことを特徴とする請求項3～5記載のプラズマディスプレイパネルの駆動方法。

【請求項8】前記リセット行程では、前記放電セル各々をリセット放電せしめて全ての前記放電セル内に壁電荷を形成させることにより全ての前記放電セルを前記発光セルの状態に初期化し、

前記画素データ書込行程では、前記画素データに応じて選択的に前記放電セルを前記非発光セルの状態に設定せしめる選択消去放電を生起することを特徴とする請求項3～5記載のプラズマディスプレイパネルの駆動方法。

【請求項9】前記リセット行程では、前記放電セル各々をリセット放電せしめて全ての前記放電セル内に壁電荷を形成させ、その直後に消去放電を生起することにより前記放電セル各々内に形成された前記壁電荷を消去して全ての前記放電セルを前記非発光セルの状態に初期化し、

前記画素データ書込行程では、前記画素データに応じて選択的に前記放電セルを前記発光セルの状態に設定せしめる選択書込放電を生起することを特徴とする請求項3～5記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【発明が属する技術分野】本発明は、マトリクス表示方式のプラズマディスプレイパネル（以下、PDPと称する）の駆動方法に関する。

【従来の技術】近年、表示装置の大型化に伴い、薄型の表示装置が要求され、各種の薄型表示装置が実用化されている。AC（交流放電）型のPDPは、かかる薄型表示装置の1つとして着目されている。AC型のPDPは、複数の列電極（アドレス電極）と、これら列電極と直交して配列されておりかつ一対にて1走査ラインを形成する複数の行電極対とを備えている。これら各行電極対及び列電極は、放電空間に対して誘電体層で被覆されており、行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。この際、PDPは放電現象を利用している為、上記放電セルは、“発光”及び“非発光”の2つの状態しかもたない。そこで、かかるPDPにより中間調の輝度表示を実現させるべく、サブフィールド法を用いる。サブフィールド法では、1フィールドの表示期間をN個のサブフィールドに分割し、各サブフィールド毎に、画素データ（Nビット）の各ビット桁の重み付けに対応した期間長を有する発光期間を夫々割り当てて発光駆動を行う。図1は、かかるサブフィールド法を用いて中間調の輝度表示を行うプラズマディスプレイ装置の概略構成を示す図である。図1において、駆動装置100は、入力されたビデオ信号を1画素毎に対応したデジタルの画素データに変換し、この画素データに対応した画素データパルスをPDP10の列電極 $D_1 \sim D_n$ に印加すると共に、以下に説明するが如き各種の駆動パルスを行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加して発光駆動制御を行う。尚、行電極 $X$ 及び $Y$ は一対にてPDP10の1行を構成しており、上記列電極 $D_1 \sim D_n$ 各々に交叉して形成されている。これら列電極及び行電極対は、図示せぬ誘電体を挟んで形成されており、1組の列電極及び行電極対が交差する部分に1つの画素セルが形成される。図2は、上記駆動装置100による1フィールド期間での発光駆動フォーマットの一例を示す図である。図2に示されるように、1フィールドの表示期間は、サブフィールドSF1～SF4なる4つのサブフィールドに分割されており、各サブフィールドにおいて、一斉リセット行程Rc、画素データ書込行程Wc、発光維持行程Ic、及び消去行程Eを夫々実行する。図3は、これら各行程を実施すべく、駆動装置100がPDP10の列電極及び行電極対に印加する各種駆動パルスの印加タイミング（1サブフィールド内での）を示す図である。先ず、一斉リセット行程Rcにおいて、駆動装置100は、図3に示されるが如き負極性のリセットパルス $RP_x$ 及び正極性のリセットパルス $RP_y$ を行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 各々に同時に印加する。これらリセットパルス $RP_x$ 及び $RP_y$ の印加に応じて、PDP10中の全ての放電セルがリセット放電されて、各放電セル内には一様に所定量の壁電荷が形成される。これ

により、全ての放電セルは一旦、“発光セル”に初期設定される。次に、画素データ書込行程Wcにおいて、駆動装置100は、図3に示されるが如く、各行毎の画素データパルス群 $DP_1 \sim DP_n$ を順次列電極 $D_1 \sim D_n$ に印加して行く。例えば、サブフィールドSF1の画素データ書込行程Wcでは、PDP10の全放電セル各々に対応した入力画素データ各々から第1ビット目だけを抽出し、この第1ビット目の論理レベルに応じた画素データパルス群DPを、1行分毎に順次列電極 $D_1 \sim D_n$ に印加して行く。又、サブフィールドSF2では、PDP10の全放電セル各々に対応した入力画素データ各々から第2ビット目だけを抽出し、この第2ビット目の論理レベルに応じた画素データパルス群DPを、1行分毎に順次列電極 $D_1 \sim D_n$ に印加して行くのである。この際、駆動装置100は、上記画素データの論理レベルが例えば“1”である場合には高電圧の画素データパルスを発生してこれを列電極Dに印加する一方、かかる画素データの論理レベルが“0”である場合には低電圧（例えば0ボルト）の画素データパルスを列電極Dに印加する。更に、駆動装置100は、かかる画素データパルス群DPの印加タイミングと同一タイミングにて、図3に示されるが如き負極性の走査パルスSPを発生しこれを行電極 $Y_1 \sim Y_n$ へと順次印加して行く。ここで、上記走査パルスSPが印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電（選択消去放電）が生じ、その放電セル内に残存していた壁電荷は選択的に消去される。かかる選択消去放電により、上記一斉リセット行程Rcにて“発光セル”の状態に初期化された放電セルは、“非発光セル”に推移する。一方、上記走査パルスSPと同時に低電圧の画素データパルスが印加された放電セルには上記選択消去放電が生起されず、上記一斉リセット行程Rcにて初期化された状態、つまり“発光セル”の状態が維持される。次に、発光維持行程Icにおいて、駆動装置100は、図3に示されるが如き維持パルス $IP_x$ 及び $IP_y$ を行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して交互に印加する。ここで、各サブフィールド内において維持パルス $IP_x$ 及び $IP_y$ を印加する回数（期間）は、各サブフィールドの重み付けに対応して設定されている。例えば、図2に示されるように、SF1：1  
SF2：2  
SF3：4  
SF4：8  
なる回数（期間）比にて維持パルス $IP_x$ 及び $IP_y$ を印加し続けるのである。この際、上記画素データ書込行程Wcの終了後、壁電荷が残留したままとなっている放電セル、すなわち“発光セル”のみが、これら維持パルス $IP_x$ 及び $IP_y$ が交互に印加される度に放電発光して、上述した如き回数（期間）分だけ発光状態を維持する。次に、消去行程Eにおいて、駆動装置100は、図3に示され

るが如き消去パルスEPを行電極 $X_1 \sim X_n$ に印加することにより、全放電セルを一斉に消去放電せしめ、各放電セル内に残留している壁電荷を消去する。図4は、上述したサブフィールド法を利用した駆動により、1フィールド期間内で実施される発光駆動の全パターンを示す図である。例えば、放電セルを輝度"8"で表示させるべき映像信号(画素データ"1110"に対応)が供給された場合には、サブフィールドSF1～SF4の内のSF4のみで発光を実施させる。具体的には、サブフィールドSF1～SF3各々の画素データ書込行程Wcでは、走査パルスSPと同時に高電圧の画素データパルスを印加することにより選択消去放電を生起させて、放電セル内に形成されている壁電荷を消去する。これにより、サブフィールドSF1～SF3各々の発光維持行程Icでは、維持パルス $I_{Px}$ 及び $I_{Py}$ が印加されているものの、維持放電は生起されない。つまり、サブフィールドSF1～SF3では非発光状態となる。一方、サブフィールドSF4の画素データ書込行程Wcでは、走査パルスSPと同時に低電圧の画素データパルスを印加する。このように画素データパルスが低電圧であると、例えば走査パルスSPが同時に印加されていても、上記選択消去放電は生起されず、放電セル内に形成されていた壁電荷は残留したままとなる。これにより、サブフィールドSF4の発光維持行程Icでは、維持パルス $I_{Px}$ 及び $I_{Py}$ が印加される度にその印加回数(期間)分、すなわち"8"回(期間)分だけ発光を伴う維持放電が生起される。従って、サブフィールドSF1～SF4なる1フィールドの期間を通じて"8"なる回数(期間)だけ発光が生じ、輝度"8"に対応した表示が為されるのである。しかしながら、上述した如き駆動方法では、その表示すべき内容に拘わらず、図3に示されるが如き各種駆動パルスを周期的に常時印加していなければならないので、消費電力が高くなるという問題があった。

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、消費電力を低減させることが出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動方法は、複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、1フィールドの表示期間をN個のサブフィールドに分割し、前記サブフィールドの各々において、走査パルスを前記行電極の各々に順次印加して行くと共に前記走査パルス各々の印加タイミングに同期して1行分の画素データ各々の論理レベルに応じた電圧を有する画素データパルス各々を1行分毎に前記列電極の各々に印加することにより前記放電セル各々を選択的に放電せしめて前記放電セル各々を発光セル又は非発光セルのいずれか一方に設定する画素デー

タ書込行程と、前記サブフィールド各々に対応した回数だけ維持パルスを前記行電極に印加することにより前記発光セルのみを前記回数の分だけ放電させる発光維持行程とを実行し、前記画素データ書込行程において、1行分に対応した前記画素データ各々の論理レベルが全て所定レベルになる行に対応した前記行電極に対しては前記走査パルスの印加を停止せしめる。

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図5は、本発明による駆動方法に基づいてプラズマディスプレイパネルを発光駆動するプラズマディスプレイ装置の概略構成を示す図である。図5に示されるように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしてのPDP10と、これを駆動する各種機能モジュールから構成されている。PDP10は、アドレス電極としてのm個の列電極 $D_1 \sim D_n$ と、これら列電極各々と交叉して配列されている夫々n個の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。これら行電極X及び行電極Yの一対にて、PDP10における1行分に対応した行電極を形成している。列電極D、行電極X及びYは放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。A/D変換器1は、駆動制御回路2から供給されるクロック信号に応じて、アナログの入力映像信号をサンプリングしてこれを1画素毎に例えば8ビットの画素データ(入力画素データ)Dに変換し、これをデータ変換回路30に供給する。データ変換回路30は、かかる8ビットの画素データDを14ビットの変換画素データHDに変換し、これをメモリ4、非選択行判別回路51及び非発光SF(サブフィールド)判別回路52の各々に供給する。尚、これらデータ変換回路30、非選択行判別回路51及び非発光SF判別回路52各々の詳細な動作については後述する。メモリ4は、駆動制御回路2から供給された書込信号に従って上記変換画素データHDを順次書き込む。かかる書込動作によりPDP10における1画面(n行、m列)分の書き込みが終了すると、メモリ4は、駆動制御回路2から供給された読出信号に従って、この1画面分の変換画素データ $HD_{11 \sim n}$ を各ビット桁毎、すなわち、

DB1<sub>11～n</sub>: 変換画素データ $HD_{11 \sim n}$ の第1ビット目  
 DB2<sub>11～n</sub>: 変換画素データ $HD_{11 \sim n}$ の第2ビット目  
 DB3<sub>11～n</sub>: 変換画素データ $HD_{11 \sim n}$ の第3ビット目  
 DB4<sub>11～n</sub>: 変換画素データ $HD_{11 \sim n}$ の第4ビット目  
 DB5<sub>11～n</sub>: 変換画素データ $HD_{11 \sim n}$ の第5ビット目  
 DB6<sub>11～n</sub>: 変換画素データ $HD_{11 \sim n}$ の第6ビット目  
 DB7<sub>11～n</sub>: 変換画素データ $HD_{11 \sim n}$ の第7ビット目  
 DB8<sub>11～n</sub>: 変換画素データ $HD_{11 \sim n}$ の第8ビット目  
 DB9<sub>11～n</sub>: 変換画素データ $HD_{11 \sim n}$ の第9ビット目  
 DB10<sub>11～n</sub>: 変換画素データ $HD_{11 \sim n}$ の第10ビット目  
 DB11<sub>11～n</sub>: 変換画素データ $HD_{11 \sim n}$ の第11ビット目

DB12<sub>11-n</sub>: 変換画素データHD<sub>11-n</sub>の第12ビット目  
 DB13<sub>11-n</sub>: 変換画素データHD<sub>11-n</sub>の第13ビット目  
 DB14<sub>11-n</sub>: 変換画素データHD<sub>11-n</sub>の第14ビット目  
 の如く分割し、これらDB1<sub>11-n</sub>、DB2<sub>11-n</sub>、…、DB14<sub>11-n</sub>各々を1行分毎に順次読み出してアドレスドライバ6に供給する。駆動制御回路2は、上述した如く入力された映像信号中の水平及び垂直同期信号に同期して、上記A/D変換器1に対するクロック信号、及びメモリ4に対する書込・読出信号を発生する。更に、駆動制御回路2は、非選択行判別回路51及び非発光SF判別回路52からの各種判別信号を考慮しつつ図6に示される発光駆動フォーマットに従ってPDP10を駆動制御すべき各種タイミング信号をアドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々に供給する。尚、駆動制御回路2は、図6に示されるように、1フィールドの表示期間を14個のサブフィールドSF1～SF14に分割してPDP10を駆動制御する。この際、各サブフィールド内では、PDP10の各放電セルに対して画素データの書き込みを行って“発光セル”及び“非発光セル”の設定を行う画素データ書込行程Wcと、上記“発光セル”のみを図6に示される回数(期間)分だけ放電発光せしめることにより、発光状態を維持させる発光維持行程Icとを実施する。又、先頭のサブフィールドSF1のみで、PDP10の全放電セル内の壁電荷量を初期化せしめる一斉リセット行程Rcを実行し、最後尾のサブフィールドSF14のみで、全放電セル内の壁電荷を一齐に消去する消去行程Eを実行する。アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々は、これら一斉リセット行程Rc、画素データ書込行程Wc、発光維持行程Ic、消去行程E各々での上記動作を実現すべく、PDP10の列電極D<sub>1</sub>～D<sub>n</sub>、行電極X<sub>1</sub>～X<sub>n</sub>及びY<sub>1</sub>～Y<sub>n</sub>各々に対して各種駆動パルスを印加する。図7は、かかる駆動パルスの印加タイミングの一例を示す図である。まず、サブフィールドSF1の一斉リセット行程Rcにおいて、第1サスティンドライバ7及び第2サスティンドライバ8は、負極性のリセットパルスR<sub>Px</sub>及び正極性のリセットパルスR<sub>Py</sub>を行電極X<sub>1</sub>～X<sub>n</sub>及びY<sub>1</sub>～Y<sub>n</sub>に同時に印加する。これらリセットパルスR<sub>Px</sub>及びR<sub>Py</sub>の印加により、PDP10中の全ての放電セルがリセット放電され、各放電セル内には一様に所定の壁電荷が形成される。これにより、PDP10における全ての放電セルは、一旦、“発光セル”に初期設定される。次に、サブフィールドSF1の画素データ書込行程Wcにおいて、アドレスドライバ6は、上述した如くメモリから供給されたDB1<sub>11-n</sub>各々の論理レベルに対応した電圧を有する画素データパルスを生成し、これを1行分毎に順次列電極D<sub>1-n</sub>に印加して行く。すなわち、先ず、上記DB1<sub>11-n</sub>の内から第1行目に対応した分、つまりDB1<sub>11-1</sub>を抽出し、これらDB1<sub>11-1</sub>各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP1<sub>1</sub>を生成して図7の如く列電極D<sub>1-n</sub>に同時印加する。次に、DB1<sub>11-n</sub>の第2行目に対応したDB2<sub>11-2</sub>を抽出し、これらDB2<sub>11-2</sub>各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP2<sub>1</sub>を生成してこれらを図7の如く列電極D<sub>1-n</sub>に同時印加する。以下、同様に、1行分毎の画素データパルス群DP1<sub>3</sub>～DP1<sub>n</sub>を順次列電極D<sub>1-n</sub>に印加して行く。尚、アドレスドライバ6は、DB1の論理レベルが例えば“1”である場合には高電圧の画素データパルスを生成し、DB1の論理レベルが“0”である場合には低電圧(0ボルト)の画素データパルスを生成するものとする。又、サブフィールドSF2の画素データ書込行程Wcでは、アドレスドライバ6は、上述した如くメモリから供給されたDB2<sub>11-n</sub>各々から、その論理レベルに対応した電圧を有する画素データパルスを生成し、これを1行分毎に順次列電極D<sub>1-n</sub>に印加して行く。すなわち、先ず、上記DB2<sub>11-n</sub>の内から第1行目に対応した分、つまりDB2<sub>11-1</sub>を抽出し、これらDB2<sub>11-1</sub>各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP2<sub>1</sub>を生成してこれらを図7の如く列電極D<sub>1-n</sub>に同時印加する。次に、DB2<sub>11-n</sub>の第2行目に対応したDB2<sub>11-2</sub>を抽出し、これらDB2<sub>11-2</sub>各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP2<sub>2</sub>を生成して、これらを列電極D<sub>1-n</sub>に同時印加する。以下、同様に、1行分毎の画素データパルス群DP2<sub>3</sub>～DP2<sub>n</sub>を順次列電極D<sub>1-n</sub>に印加して行く。アドレスドライバ6は、サブフィールドSF3～SF14各々での画素データ書込行程Wcにおいても上述した方法と同様に、DB3<sub>11-n</sub>～DB14<sub>11-n</sub>各々から画素データパルス群DP3<sub>1-n</sub>～DP14<sub>1-n</sub>を生成し、これらを1行分毎に順次列電極D<sub>1-n</sub>に印加して行く。ここで、第2サスティンドライバ8は、上述した如き画素データパルス群DPの各印加タイミングと同一タイミングにて、図7に示されるが如き負極性の走査パルスSPを発生してこれを行電極Y<sub>1</sub>～Y<sub>n</sub>へと順次印加して行く。この際、走査パルスSPが印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電(選択消去放電)が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。つまり、上記変換画素データHDにおける各ビット(第1ビット～第14ビット)の論理レベルが、サブフィールドSF1～SF14各々での画素データ書込行程Wcにおいて選択消去放電を実施するか否かを決定しているのである。かかる選択消去放電により、上記一斉リセット行程Rcにて“発光セル”の状態に初期化された放電セルは、“非発光セル”に推移する。尚、上記高電圧の画素データパルスが印加されなかった“列”に形成されている放電セルには放電が生じられ

各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP1<sub>1</sub>を生成して図7の如く列電極D<sub>1-n</sub>に同時印加する。次に、DB1<sub>11-n</sub>の第2行目に対応したDB2<sub>11-2</sub>を抽出し、これらDB2<sub>11-2</sub>各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP2<sub>1</sub>を生成して列電極D<sub>1-n</sub>に同時印加する。以下、同様に、1行分毎の画素データパルス群DP1<sub>3</sub>～DP1<sub>n</sub>を順次列電極D<sub>1-n</sub>に印加して行く。尚、アドレスドライバ6は、DB1の論理レベルが例えば“1”である場合には高電圧の画素データパルスを生成し、DB1の論理レベルが“0”である場合には低電圧(0ボルト)の画素データパルスを生成するものとする。又、サブフィールドSF2の画素データ書込行程Wcでは、アドレスドライバ6は、上述した如くメモリから供給されたDB2<sub>11-n</sub>各々から、その論理レベルに対応した電圧を有する画素データパルスを生成し、これを1行分毎に順次列電極D<sub>1-n</sub>に印加して行く。すなわち、先ず、上記DB2<sub>11-n</sub>の内から第1行目に対応した分、つまりDB2<sub>11-1</sub>を抽出し、これらDB2<sub>11-1</sub>各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP2<sub>1</sub>を生成してこれらを図7の如く列電極D<sub>1-n</sub>に同時印加する。次に、DB2<sub>11-n</sub>の第2行目に対応したDB2<sub>11-2</sub>を抽出し、これらDB2<sub>11-2</sub>各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP2<sub>2</sub>を生成して、これらを列電極D<sub>1-n</sub>に同時印加する。以下、同様に、1行分毎の画素データパルス群DP2<sub>3</sub>～DP2<sub>n</sub>を順次列電極D<sub>1-n</sub>に印加して行く。アドレスドライバ6は、サブフィールドSF3～SF14各々での画素データ書込行程Wcにおいても上述した方法と同様に、DB3<sub>11-n</sub>～DB14<sub>11-n</sub>各々から画素データパルス群DP3<sub>1-n</sub>～DP14<sub>1-n</sub>を生成し、これらを1行分毎に順次列電極D<sub>1-n</sub>に印加して行く。ここで、第2サスティンドライバ8は、上述した如き画素データパルス群DPの各印加タイミングと同一タイミングにて、図7に示されるが如き負極性の走査パルスSPを発生してこれを行電極Y<sub>1</sub>～Y<sub>n</sub>へと順次印加して行く。この際、走査パルスSPが印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電(選択消去放電)が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。つまり、上記変換画素データHDにおける各ビット(第1ビット～第14ビット)の論理レベルが、サブフィールドSF1～SF14各々での画素データ書込行程Wcにおいて選択消去放電を実施するか否かを決定しているのである。かかる選択消去放電により、上記一斉リセット行程Rcにて“発光セル”の状態に初期化された放電セルは、“非発光セル”に推移する。尚、上記高電圧の画素データパルスが印加されなかった“列”に形成されている放電セルには放電が生じられ

ず、上記一斉リセット行程Rcにて初期化された状態、つまり“発光セル”の状態が維持される。すなわち、各画素データ書込行程Wcの実行により、その直後の発光維持行程cIにおいて後述するが如く発光を伴う維持放電が生起される“発光セル”と、維持放電が生起されずに非発光のままの“非発光セル”とが、画素データに応じて択一的に設定され、いわゆる各放電セルに対する画素データの書き込みが為されるのである。又、各サブフィールドSF1～SF14各々で実行される発光維持行程Icでは、第1サスティンドライバ7及び第2サスティンドライバ8は、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して図7に示されるように交互に正極性の維持パルス $IP_x$ 及び $IP_y$ を印加する。ここで、各サブフィールドの発光維持行程Icにおいて印加される維持パルスIPの回数は、

SF1: 1  
SF2: 3  
SF3: 5  
SF4: 8  
SF5: 10  
SF6: 13  
SF7: 16  
SF8: 19  
SF9: 22  
SF10: 25  
SF11: 28  
SF12: 32  
SF13: 35  
SF14: 39

である。かかる維持パルスの印加により、上記画素データ書込行程Wcにて壁電荷が残留したままとなっている放電セル、すなわち“発光セル”は、維持パルス $IP_x$ 及び $IP_y$ が印加される度に維持放電し、上記回数(期間)分だけその放電発光状態を維持する。この際、各サブフィールドSF1～SF14で実行すべき維持放電の回数の比を上述した如き非線形(すなわち、逆ガンマ比率、 $Y=X^{2.2}$ )にすることにより、入力画素データDの非線形特性(ガンマ特性)を補正するようにしている。又、図4に示されるように、最後尾のサブフィールドでの消去行程Eにおいて、アドレスドライバ6は、消去パルスAPを発生してこれを列電極 $D_{1-n}$ の各々に印加する。第2サスティンドライバ8は、かかる消去パルスAPの印加タイミングと同時に消去パルスEPを発生してこれを行電極 $Y_1 \sim Y_n$ 各々に印加する。これら消去パルスAP及びEPの同時印加により、PDP10における全放電セル内において消去放電が生起され、全ての放電セル内に残存している壁電荷が消滅する。すなわち、かかる消去放電により、PDP10における全ての放電セルが非“発光セル”になるのである。ここで、図5の非選択行判別回路51は、1画面分の上記変換画素データH

$D_{11-n}$ に基づき、選択消去放電が生起されない“行”(以下、非選択行と称する)を判別し、この非選択行各々を示す非選択行判別信号NSを駆動制御回路2に供給する。例えば、非選択行判別回路51は、変換画素データ $HD_{11-n}$ を各ビット桁毎に $DB_{11-n}$ 、 $DB_{211-n}$ 、 $DB_{311-n}$ 、 $\dots$ 、 $DB_{1411-n}$ の如く14分割して、サブフィールドSF1～SF14各々に割り当て、各サブフィールド毎に、上記DBにおける第1列～第m列各々に対応した1行分のデータビット各々の論理レベルが全て“0”である“行”を非選択行とするのである。尚、この非選択行が存在しない場合には、非選択行判別回路51は、レベル“0”の非選択行判別信号NSを駆動制御回路2に供給する。駆動制御回路2は、かかる非選択行判別信号NSがレベル“0”である場合には、図7に示されるが如く、負極性の走査パルスSPを行電極 $Y_1 \sim Y_n$ へと順次印加すべき走査パルスタイミング信号を第2サスティンドライバ8に供給する。一方、かかる非選択行判別信号NSが非選択行の存在を示す場合には、この非選択行に対してのみ、上記走査パルスSPの印加を停止するようにした走査パルスタイミング信号を第2サスティンドライバ8に供給する。図8は、かかる非選択行が存在する場合における1フィールドでの各種駆動パルスの印加タイミングの一例を示す図である。図8においては、変換画素データ $HD_{11-n}$ の第1ビット目からなる $DB_{11-n}$ 中の第2行目に対応した分、つまり $DB_{121-2n}$ の全ビットが論理レベル“0”であり、更に、変換画素データ $HD_{11-n}$ の第2ビット目からなる $DB_{211-n}$ 中の第n行目に対応した分、つまり $DB_{2n1-n}$ の全ビットが論理レベル“0”である場合を示している。このように、 $DB_{121-2n}$ の全ビットが論理レベル“0”であると、アドレスドライバ6は、図8に示されるサブフィールドSF1での画素データ書込行程Wcにおいて、全てが低電圧(0ボルト)となる画素データパルス群 $DP_{12}$ を列電極 $D_{1-n}$ に印加することになる。又、 $DB_{2n1-n}$ の全ビットが論理レベル“0”であると、アドレスドライバ6は、サブフィールドSF2での画素データ書込行程Wcにおいて、全てが低電圧(0ボルト)となる画素データパルス群 $DP_{2n}$ を列電極 $D_{1-n}$ に印加することになる。この際、画素データパルス群DPが上述の如く低電圧であると、例え、走査パルスSPが印加されていても、選択消去放電は生起されない。そこで、非選択行判別回路51にて、第1列～第m列のいずれにも選択消去放電が生起されない“行”、すなわち非選択行を、変換画素データ $HD_{11-n}$ に基づいて予め判別しておき、この非選択行に対しては、図8のSF1の第2行目及びSF2の第n行目に示されるように、走査パルスSPの印加を停止するようにしたのである。よって、走査パルスSPの印加を停止した分だけ消費電力が抑えられるようになる。又、図5の非発光SF判別回路52は、1画面分の上記変換画素データ $HD_{11-n}$ に基



づき、各サブフィールド毎の発光維持行程Icにおいて、1画面分の全ての放電セルが非発光状態となるサブフィールド(以下、非発光SFと称する)を判別し、この非発光SFを示す非発光SF判別信号NLを駆動制御回路2に供給する。尚、この非発光SFが存在しない場合には、非発光SF判別回路52は、レベル"0"の非発光SF判別信号NLを駆動制御回路2に供給する。駆動制御回路2は、かかる非発光SF判別信号NLがレベル"0"である場合には、図7及び図8に示されるが如く、正極性の維持パルス $I_{Px}$ 及び $I_{Py}$ を交互に行電極X及びYに印加すべき維持パルスタイミング信号を第1サスティンドライバ7及び第2サスティンドライバ8に供給する。一方、かかる非発光SF判別信号NLが非発光SFの存在を示す場合には、この非発光SFにて示されるサブフィールドの発光維持行程Icに対してのみ、上記維持パルス $I_{Px}$ 及び $I_{Py}$ の印加を停止するようにした維持パルスタイミング信号を第1サスティンドライバ7及び第2サスティンドライバ8に供給する。図9は、かかる非発光SFがサブフィールドSF14である場合における各種駆動パルスの印加タイミングの一例を示す図である。このように、非発光SF判別回路52により、全ての放電セルが非発光となるサブフィールドがSF14であると判別されると、第1サスティンドライバ7及び第2サスティンドライバ8は、図9に示されるが如くサブフィールドSF14の発光維持行程Icに対してのみ、維持パルス $I_{Px}$ 及び $I_{Py}$ の印加を停止する。よって、維持パルス $I_{Px}$ 及び $I_{Py}$ を印加しない分だけ消費電力が抑えられるようになるのである。図10は、図6に示されるが如き発光駆動フォーマットに基づいて実施される発光駆動の全パターンを示す図である。図10に示されるように、サブフィールドSF1～SF14の内の1つのサブフィールドでの画素データ書込行程Wcにおいてのみで、各放電セルに対して選択消去放電を実施する(黒丸にて示す)。すなわち、一斉リセット行程Rcの実行によってPDP10の全放電セル内に形成された壁電荷は、上記選択消去放電が実施されるまでの間残留し、その間に存在するサブフィールドSF各々での発光維持行程Icにおいて発光を伴う維持放電を促す(白丸にて示す)。つまり、各放電セルは、1フィールド期間内において上記選択消去放電が為されるまでの間、"発光セル"となり、その間に存在するサブフィールド各々での発光維持行程Icにおいて、図6に示されるが如き回数分だけ発光を繰り返すのである。この際、図10に示されるように、各放電セルが"発光セル"から"非発光セル"へと推移する回数は、1フィールド期間内において必ず1回以下となるようにしている。すなわち、1フィールド期間内において一旦、非"発光セル"に設定した放電セルを再び"発光セル"に復帰させるような発光駆動パターンを禁止したのである。よって、画像表示に関与していないにも拘わらず強い発光を伴う上記一斉リ

セット動作を図6～図9に示されるように、1フィールド期間内において1回だけ実施しておけば良いので、コントラストの低下を抑えることが出来る。又、1フィールド期間内において実施する選択消去放電は、図10の黒丸にて示されるが如く1回である為、この選択消去放電が実施されたサブフィールド、及びそれ以降に存在するサブフィールド各々の発光維持行程Icでは、放電セルは非発光状態となる。よって、非発光SF判別回路52は、1画面分の上記変換画素データ $HD_{11-n}$ に基づいて1画面分の全ての放電セルが非発光状態となる非発光SFを検出した場合には、この非発光SFにて示されるサブフィールドと、それ以降に存在する全てのサブフィールド各々を示す非発光SF判別信号NLを駆動制御回路2に供給すれば良い。ここで、かかる図10に示されるが如き発光駆動パターンによれば、発光輝度比が、 $\{0, 1, 4, 9, 17, 27, 40, 56, 75, 97, 122, 150, 182, 217, 256\}$ なる15段階の中間調表現が可能になる。ところが、上記A/D変換器1から供給される画素データDは、8ビット、すなわち、256段階の中間調を表現しているものである。そこで、上記15段階の階調駆動によっても256段階に近い中間調表示を実現させるべく、図2に示されるデータ変換回路30によってデータ変換を行うのである。図11は、かかるデータ変換回路30の内部構成を示す図である。図11において、ABL(自動輝度制御)回路31は、PDP10の画面上に表示される画像の平均輝度が所定の輝度範囲内に収まるように、A/D変換器1から順次供給されてくる各画素毎の画素データDに対して輝度レベルの調整を行い、この際得られた輝度調整画素データ $D_{BL}$ を第1データ変換回路32に供給する。かかる輝度レベルの調整は、後述するが如く各サブフィールドでの発光回数の比を非線形に設定して逆ガンマ補正を行う前に行われる。よって、ABL回路31は、画素データDに逆ガンマ補正を施し、この際得られた逆ガンマ変換画素データの平均輝度に応じて上記画素データDの輝度レベルを自動調整するように構成されている。これにより、輝度調整による表示品質の劣化を防止するのである。図12は、かかるABL回路31の内部構成を示す図である。図12において、レベル調整回路310は、後述する平均輝度検出回路311によって求められた平均輝度に応じて画素データDのレベルを調整して得られた輝度調整画素データ $D_{BL}$ を出力する。データ変換回路312は、かかる輝度調整画素データ $D_{BL}$ を図13に示されるが如き非線形特性からなる逆ガンマ特性( $Y=X^{2.2}$ )にて変換したものを逆ガンマ変換画素データ $D_r$ として平均輝度レベル検出回路311に供給する。すなわち、データ変換回路312にて、輝度調整画素データ $D_{BL}$ に対して逆ガンマ補正を施すことにより、ガンマ補正の解除された元の映像信号に対応した画素データ(逆ガンマ変換画素データ $D_r$ )を復元するのである。平均輝度検出回路311は、各サブフィールド

ドでの発光期間を指定する例えば図14に示されるが如き輝度モード1~4の中から、上述の如く求めた平均輝度に応じた輝度にてPDP10を発光駆動し得る輝度モードを選択し、この選択した輝度モードを示す輝度モード信号LCを駆動制御回路2に供給する。この際、駆動制御回路2は、図6に示されるサブフィールドSF1~SF14各々の発光維持行程Icにおいて維持放電する回数、すなわち、各発光維持行程Ic内において印加すべき維持パルス数を、図14に示されるが如き輝度モード信号LCにて指定されたモードに従って設定する。すなわち、図6に示されている各サブフィールドでの発光回数は、輝度モード1が設定された際における発光回数を示すものであり、仮に輝度モード2が設定された場合には、

SF1: 2  
SF2: 6  
SF3: 10  
SF4: 16  
SF5: 20  
SF6: 26  
SF7: 32  
SF8: 38  
SF9: 44  
SF10: 50  
SF11: 56  
SF12: 64  
SF13: 70  
SF14: 78

なる回数にて、各サブフィールドの発光維持行程Icにおいて維持放電が実施される。尚、かかる発光駆動においても、各サブフィールドSF1~SF14各々の発光回数の比が非線形(すなわち、逆ガンマ比率、 $Y=X^{2.2}$ )に設定されており、これにより入力画素データDの非線形特性(ガンマ特性)が補正される。又、平均輝度検出回路311は、かかる逆ガンマ変換画素データDrからその平均輝度を求めて上記レベル調整回路310に供給する。ここで、図11における第1データ変換回路32は、図15に示されるが如き変換特性に基づいて256階調(8ビット)の輝度調整画素データD<sub>BL</sub>を $14 \times 16 / 255 (224 / 255)$ にした8ビット(0~224)の変換画素データHD<sub>p</sub>に変換して多階調化処理回路33に供給する。具体的には、8ビット(0~255)の輝度調整画素データD<sub>BL</sub>がかかる変換特性に基づく図16及び図17に示されるが如き変換テーブルに従って変換される。すなわち、この変換特性は、入力画素データのビット数、多階調化による圧縮ビット数及び表示階調数に応じて設定される。このように、後述する多階調化処理回路33の前段に第1データ変換回路32を設けて、表示階調数、多階調化による圧縮ビット数に合わせた変換を施し、これにより輝度調整画素データ

D<sub>BL</sub>を上位ビット群(多階調化画素データに対応)と下位ビット群(切り捨てられるデータ:誤差データ)をビット境界で切り分け、この信号に基づいて多階調化処理を行うようになっている。これにより、多階調化処理による輝度飽和の発生及び表示階調がビット境界にない場合に生じる表示特性の平坦部の発生(すなわち、階調歪みの発生)を防止することができる。尚、下位ビット群は切り捨てられるので階調数が減少することになるが、その階調数の減少分は、以下に説明する多階調化処理回路33の動作により擬似的に得られるようにしている。図18は、かかる多階調化処理回路33の内部構成を示す図である。図18に示されるが如く、多階調化処理回路33は、誤差拡散処理回路330及びディザ処理回路350から構成される。まず、誤差拡散処理回路330におけるデータ分離回路331は、上記第1データ変換回路32から供給された8ビットの変換画素データHD<sub>p</sub>中の下位2ビット分を誤差データ、上位6ビット分を表示データとして分離する。加算器332は、かかる誤差データとしての変換画素データHD<sub>p</sub>中の下位2ビット分と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、画素データのクロック周期と同一の時間を有する遅延時間Dだけ遅らせ、これを遅延加算信号AD<sub>1</sub>として上記係数乗算器335及び遅延回路337に夫々供給する。係数乗算器335は、上記遅延加算信号AD<sub>1</sub>に所定係数値K<sub>1</sub>(例えば、"7/16")を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号AD<sub>1</sub>を更に(1水平走査期間-上記遅延時間D×4)なる時間だけ遅延させたものを遅延加算信号AD<sub>2</sub>として遅延回路338に供給する。遅延回路338は、かかる遅延加算信号AD<sub>2</sub>を更に上記遅延時間Dだけ遅延させたものを遅延加算信号AD<sub>3</sub>として係数乗算器339に供給する。又、遅延回路338は、かかる遅延加算信号AD<sub>2</sub>を更に上記遅延時間D×2なる時間分だけ遅延させたものを遅延加算信号AD<sub>4</sub>として係数乗算器340に供給する。更に、遅延回路338は、かかる遅延加算信号AD<sub>2</sub>を上記遅延時間D×3なる時間分だけ遅延させたものを遅延加算信号AD<sub>5</sub>として係数乗算器341に供給する。係数乗算器339は、上記遅延加算信号AD<sub>3</sub>に所定係数値K<sub>2</sub>(例えば、"3/16")を乗算して得られた乗算結果を加算器342に供給する。係数乗算器340は、上記遅延加算信号AD<sub>4</sub>に所定係数値K<sub>3</sub>(例えば、"5/16")を乗算して得られた乗算結果を加算器342に供給する。係数乗算器341は、上記遅延加算信号AD<sub>5</sub>に所定係数値K<sub>4</sub>(例えば、"1/16")を乗算して得られた乗算結果を加算器342に供給する。加算器342は、上記係数乗算器339、340及び341各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路334に供

給する。遅延回路334は、かかる加算信号を上記遅延時間Dなる時間分だけ遅延させて上記加算器332に供給する。加算器332は、上記誤差データ(変換画素データHD<sub>p</sub>中の下位2ビット分)と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算し、この際、桁上げがない場合には論理レベル"0"、桁上げがある場合には論理レベル"1"のキャリアウト信号C<sub>0</sub>を発生して加算器333に供給する。加算器333は、上記表示データ(変換画素データHD<sub>p</sub>中の上位6ビット分)に、上記キャリアウト信号C<sub>0</sub>を加算したものを6ビットの誤差拡散処理画素データEDとして出力する。以下に、かかる構成からなる誤差拡散処理回路330の動作について説明する。例えば、図19に示されるが如きPDP10の画素G(j,k)に対応した誤差拡散処理画素データEDを求める場合、先ず、かかる画素G(j,k)の左横の画素G(j,k-1)、左斜め上の画素G(j-1,k-1)、真上の画素G(j-1,k)、及び右斜め上の画素G(j-1,k+1)各々に対応した各誤差データ、すなわち、画素G(j,k-1)に対応した誤差データ：遅延加算信号AD<sub>1</sub>  
画素G(j-1,k+1)に対応した誤差データ：遅延加算信号AD<sub>3</sub>  
画素G(j-1,k)に対応した誤差データ：遅延加算信号AD<sub>4</sub>  
画素G(j-1,k-1)に対応した誤差データ：遅延加算信号AD<sub>5</sub>  
各々を、上述した如き所定の係数値K<sub>1</sub>~K<sub>5</sub>をもって重み付け加算する。次に、この加算結果に、変換画素データHD<sub>p</sub>の下位2ビット分、すなわち画素G(j,k)に対応した誤差データを加算し、この際得られた1ビット分のキャリアウト信号C<sub>0</sub>を変換画素データHD<sub>p</sub>中の上位6ビット分、すなわち画素G(j,k)に対応した表示データに加算したものを誤差拡散処理画素データEDとする。誤差拡散処理回路330は、かかる構成により、変換画素データHD<sub>p</sub>中の上位6ビット分を表示データ、残りの下位2ビット分を誤差データとして捉え、周辺画素{G(j,k-1)、G(j-1,k+1)、G(j-1,k)、G(j-1,k-1)}各々での誤差データを重み付け加算したものを、上記表示データに反映させるようにしている。この動作により、原画素{G(j,k)}における下位2ビット分の輝度が上記周辺画素により擬似的に表現され、それ故に8ビットよりも少ないビット数、すなわち6ビット分の表示データにて、上記8ビット分の画素データと同等の輝度階調表現が可能になるのである。尚、この誤差拡散の係数値が各画素に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、後述するディザ係数の場合と同様に4つの画素各々に割り当てるべき誤差拡散の係数K<sub>1</sub>~K<sub>5</sub>を1フィールド毎に変更するようにしても良い。ディザ処理回路350は、かかる誤差拡散処

理回路330から供給された誤差拡散処理画素データEDにディザ処理を施すことにより、6ビットの誤差拡散処理画素データEDと同等な輝度階調レベルを維持しつつもビット数を更に4ビットに減らした多階調化処理画素データD<sub>s</sub>を生成する。尚、かかるディザ処理では、隣接する複数の画素により1つの中間表示レベルを表現するものである。例えば、8ビットの画素データの内の上位6ビットの画素データを用いて8ビット相当の階調表示を行う場合、左右、上下に互いに隣接する4つの画素を1組とし、この1組の各画素に対応した画素データ各々に、互いに異なる係数値からなる4つのディザ係数a~dを夫々割り当てて加算する。かかるディザ処理によれば、4画素で4つの異なる中間表示レベルの組み合わせが発生することになる。よって、例え画素データのビット数が6ビットであっても、表現出来る輝度階調レベルは4倍、すなわち、8ビット相当の中間調表示が可能となるのである。しかしながら、ディザ係数a~dなるディザパターンが各画素に対して一定に加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、ディザ処理回路350においては、4つの画素各々に割り当てるべき上記ディザ係数a~dを1フィールド毎に変更するようにしている。図20は、かかるディザ処理回路350の内部構成を示す図である。図20において、ディザ係数発生回路352は、互いに隣接する4つの画素毎に4つのディザ係数a、b、c、dを発生してこれらを順次加算器351に供給する。例えば、図21に示されるように、第j行に対応した画素G(j,k)及び画素G(j,k+1)、第(j+1)行に対応した画素G(j+1,k)及び画素G(j+1,k+1)なる4つの画素各々に対応した4つのディザ係数a、b、c、dを発生する。この際、ディザ係数発生回路352は、これら4つの画素各々に割り当てるべき上記ディザ係数a~dを図21に示されるように1フィールド毎に変更して行く。すなわち、最初の第1フィールドにおいては、  
画素G(j,k) : ディザ係数a  
画素G(j,k+1) : ディザ係数b  
画素G(j+1,k) : ディザ係数c  
画素G(j+1,k+1) : ディザ係数d  
次の第2フィールドにおいては、  
画素G(j,k) : ディザ係数b  
画素G(j,k+1) : ディザ係数a  
画素G(j+1,k) : ディザ係数d  
画素G(j+1,k+1) : ディザ係数c  
次の第3フィールドにおいては、  
画素G(j,k) : ディザ係数d  
画素G(j,k+1) : ディザ係数c  
画素G(j+1,k) : ディザ係数b  
画素G(j+1,k+1) : ディザ係数a  
そして、第4フィールドにおいては、

画素G(j,k) : ディザ係数c

画素G(j,k+1) : ディザ係数d

画素G(j+1,k) : ディザ係数a

画素G(j+1,k+1) : ディザ係数b

の如き割り当てにてディザ係数a~dを循環して繰り返し発生し、これを加算器351に供給する。ディザ係数発生回路352は、上述した如き第1フィールド~第4フィールドの動作を繰り返し実行する。すなわち、かかる第4フィールドでのディザ係数発生動作が終了したら、再び、上記第1フィールドの動作に戻って、前述した動作を繰り返すのである。加算器351は、上記誤差拡散処理回路330から供給されてくる上記画素G(j,k)、画素G(j,k+1)、画素G(j+1,k)、及び画素G(j+1,k+1)各々に対応した誤差拡散処理画素データED各々に、上述の如く各フィールド毎に割り当てられたディザ係数a~dを夫々加算し、この際得られたディザ加算画素データを上位ビット抽出回路353に供給する。例えば、図21に示される第1フィールドにおいては、画素G(j,k)に対応した誤差拡散処理画素データED+ディザ係数a、画素G(j,k+1)に対応した誤差拡散処理画素データED+ディザ係数b、画素G(j+1,k)に対応した誤差拡散処理画素データED+ディザ係数c、画素G(j+1,k+1)に対応した誤差拡散処理画素データED+ディザ係数dの各々をディザ加算画素データとして上位ビット抽出回路353に順次供給して行くのである。上位ビット抽出回路353は、かかるディザ加算画素データの上位4ビット分までを抽出し、これを多階調化画素データD<sub>s</sub>として図11に示される第2データ変換回路34に供給する。第2データ変換回路34は、かかる多階調化画素データD<sub>s</sub>を図10に示されるが如き変換テーブルに従って、サブフィールドSF1~SF14各々に対応した第1~第14ビットからなる変換画素データHDに変換する。尚、多階調化画素データD<sub>s</sub>は、8ビット(256階調)の入力画素データDを第1データ変換(図16及び図17の変換テーブル)にしたがって224/225にし、更に、例えば誤差拡散処理及びディザ処理の如き多階調化処理により、夫々2ビット分が圧縮されて、計4ビット(15階調)のデータに変換されたものである。ここで、変換画素データHDにおける第1~第14ビットの内、論理レベル"1"のビットは、そのビットに対応したサブフィールドSFでの画素データ書込行程Wcにおいて選択消去放電を実施させることを示すものである。上述した如きデータ変換回路30の動作によれば、図10に示されるが如き15段階の階調駆動でも、実際の視覚上における階調表現は256階調に迫るものとなる。以上の如く、本発明においては、非選択消去放電を生じさせない"行"、並びに維持放電を生じさせないサブフィールドを、画素データ(変換画素データHD)の段階で判別する。ここで、選択消去放電を生

起させないと判別された"行"に対しては走査パルスSPの印加を停止し、維持放電を生じさせないと判別されたサブフィールドに対しては維持パルスIPの印加を停止することにより、消費電力の低減を図るようにしたのである。尚、上記実施例においては、画素データの書込方法として、1フィールドの先頭において予め各放電セルに強制的に壁電荷を形成させて全放電セルを"発光セル"に設定しておき、画素データに応じて選択的にその壁電荷を消去することにより画素データの書込を為す、いわゆる選択消去アドレス法を採用した場合について述べた。しかしながら、本発明は、画素データの書込方法として、画素データに応じて選択的に壁電荷を形成するようにした、いわゆる選択書込アドレス法を採用した場合についても同様に適用可能である。図22は、かかる選択書込アドレス法を採用した場合における発光駆動フォーマットを示す図である。又、図23は、かかる選択書込アドレス法を採用した場合に第2データ変換回路34において用いられる変換テーブル、及び1フィールド期間内で実施される発光駆動の全パターンを示す図である。図22において、先頭のサブフィールドSF14での一斉リセット行程Rcでは、第1サスティンドライバ7及び第2サスティンドライバ8は、図7に示されるものと同様にリセットパルスRP<sub>x</sub>及びRP<sub>y</sub>をPDP10の行電極X及びYに夫々同時に印加する。これにより、PDP10中の全ての放電セルをリセット放電せしめ、各放電セル内に強制的に壁電荷を形成させる。その直後に、第1サスティンドライバ7は、短パルス幅の負極性の消去パルスをPDP10の行電極X<sub>1</sub>~X<sub>n</sub>に一斉に印加することにより、全放電セル内に形成された上記壁電荷を消去させる。すなわち、図22に示される一斉リセット行程Rcの実行によれば、PDP10における全ての放電セルは非"発光セル"の状態に初期化されるのである。一方、画素データ書込行程Wcでは、走査パルスSPが印加された"行"と、高電圧の画素データパルスが印加された"列"との交差部の放電セルにのみ放電(選択書込放電)が生じ、その放電セル内に選択的に壁電荷が形成される。かかる選択書込放電により、上記一斉リセット行程Rcにて"非発光セル"の状態に初期化された放電セルは、"発光セル"に推移する。尚、上記低電圧の画素データパルスが印加された"列"に形成されている放電セルには上述のような選択書込放電は生じられず、上記一斉リセット行程Rcにて初期化された状態、つまり"非発光セル"の状態を維持する。すなわち、画素データ書込行程Wcの実行により、後述する維持発光行程において発光状態が維持される"発光セル"と、非発光状態のままの"非発光セル"とが、画素データに応じて択一的に設定され、いわゆる各放電セルに対する画素データの書き込みが為されるのである。ここで、かかる選択書込アドレス法による発光駆動を実施する場合には、図23に示されるように、変換画素データHDにおける論理レベ

ル"1"のビットに対応したサブフィールドSFにおいてのみで選択書込放電が実施される(黒丸にて示す)。この際、先頭のサブフィールドSF14からこの選択書込放電が実施されまでの間に存在するサブフィールド各々の発光維持行程Icでは維持放電が生起されず、この選択書込放電が実施されたサブフィールド以降に存在するサブフィールド各々の発光維持行程Icでは維持放電が生起され、その発光状態が維持される(白丸にて示す)。従って、このような選択書込アドレス法を採用した場合には、非選択行判別回路51及び非発光SF判別回路52は、選択書込放電を生起させない"行"、並びに維持放電を生起させないサブフィールドを、画素データ(変換画素データHD)の段階で判別する。ここで、選択書込放電を生起させないと判別された"行"に対しては走査パルスSPの印加を停止し、維持放電を生起させないと判別されたサブフィールドに対しては維持パルスIPの印加を停止することにより、消費電力の低減を図るのである。尚、上記実施例においては、1フィールド期間内において実施する一斉リセット行程Rcを1回とすることにより15階調の中間調駆動を行うものであるが、かかる一斉リセット行程Rcを1フィールド期間内において2回実行することによりその階調駆動数を増やすことも可能である。図24及び図25は、かかる点に鑑みて為された発光駆動フォーマットを示す図である。尚、図24は、画素データ書込方法として前述した如き選択消去アドレス法を採用した場合、図25は、選択書込アドレス法を採用した場合に適用される発光駆動フォーマットを夫々示すものである。これら図24及び図25に示される発光駆動フォーマットにおいても、1フィールド期間をサブフィールドSF1~SF14なる14個のサブフィールドに分割している。各サブフィールドでは、画素データの書き込みを行って"発光セル"及び非"発光セル"の設定を行う画素データ書込行程Wcと、"発光セル"に対してのみ発光状態を維持させる発光維持行程Icとを実施する。この際、各発光維持行程Icでの発光回数は、サブフィールドSF1での発光期間を"1"とした場合、

SF1:1  
SF2:1  
SF3:1  
SF4:3  
SF5:3  
SF6:8  
SF7:13  
SF8:15  
SF9:20  
SF10:25  
SF11:31  
SF12:37  
SF13:48

SF14:50

に設定している。すなわち、各サブフィールドSF1~SF14の発光回数の比を非線形(すなわち、逆ガンマ比率、 $Y=X^{2.2}$ )に成るように設定し、これにより入力画素データDの非線形特性(ガンマ特性)を補正するようにしている。更に、これら各サブフィールドの内、先頭のサブフィールドと、中間のサブフィールドとで一斉リセット行程Rcを実行する。つまり、図24に示されるが如き、選択消去アドレス法を採用した際の駆動では、サブフィールドSF1とSF7とで一斉リセット行程Rcを実行し、図25に示されるが如き選択書込アドレス法を採用した際の駆動では、サブフィールドSF14とSF6とで一斉リセット行程Rcを実行するのである。又、これら図24及び図25に示されるように、1フィールド期間の最後尾のサブフィールド、及び一斉リセット行程Rcを実行する直前のサブフィールドにおいて、全ての放電セル内に残存している壁電荷を消滅せしめる消去行程Eを実行する。図26及び図27は、これら図24及び図25に示される発光駆動フォーマットに基づく発光駆動を行う際に、図11に示される第1データ変換回路32において用いられる変換テーブルの一例を示す図である。第1データ変換回路32は、図26及び図27の変換テーブルに基づいて、256階調(8ビット)の入力輝度調整画素データ $D_{BL}$ を $22 \times 16 / 255$ ( $352 / 255$ )にした9ビット(0~352)の変換画素データ $HD_p$ に変換して多階調化処理回路33に供給する。多階調化処理回路33では、上述と同様に例えば4ビット分の圧縮処理を行い、5ビット(0~22)の多階調化画素データ $D_s$ を出力する。この際、図11に示される第2データ変換回路34は、かかる5ビットの多階調化画素データ $D_s$ を、図28又は図29に示されるが如き変換テーブルに従って14ビットの変換画素データHDに変換する。この際、図28は、画素データ書込法として上記選択消去アドレス法を採用した場合、図29は、選択書込アドレス法を採用した場合に第2データ変換回路34で用いられる変換テーブル及び発光駆動の全パターンを夫々示す図である。これら図24~図29に示されるが如き駆動を実施すれば、発光輝度比が、

{0,1,2,3,6,9,17,22,30,37,45,57,65,82,90,113,121,150,158,195,206,245,256}

なる23段階の中間調駆動が可能になる。このように、図24~図29に示されている駆動では、1フィールド期間内におけるサブフィールドを、互いに連続して配置された複数のサブフィールドからなる2つのサブフィールド群に分けている。例えば、選択消去アドレス法を採用した場合には、図24に示されるように、サブフィールドSF1~SF6からなるサブフィールド群と、SF7~SF14からなるサブフィールド群とに分けている。この際、各サブフィールド群の先頭のサブフィール

ドにおいてのみで夫々リセット行程 R c を実行して、全ての放電セルを“発光セル”(選択消去アドレス法を採用した場合)又は“非発光セル”(選択書込アドレス法を採用した場合)の状態に初期化する放電を生起させる。ここで、各サブフィールド群内において、いずれか 1 のサブフィールドの画素データ書込行程 W c においてのみで、放電セルを画素データに応じて“非発光セル”又は“発光セル”に設定する。更に、各サブフィールドでの発光維持行程 I c において、上記“発光セル”のみをサブフィールドの重み付けに対応した発光回数だけ発光させるようにしている。従って、各サブフィールド群内において、一斉リセット動作、選択消去動作(選択書込動作)は、各 1 回となる。かかる駆動方法によれば、選択消去アドレス法の場合には、表示すべき輝度の増加につれて各サブフィールド群内における先頭のサブフィールドから順に発光状態となる。一方、選択消去アドレス法の場合には、表示すべき輝度の増加につれて各サブフィールド群内における最後尾のサブフィールドから順に発光状態となる。尚、上記図 10 及び図 23 に示した発光駆動パターンでは、サブフィールド SF 1 ~ SF 14 の内のいずれか 1 の画素データ書込行程 W c において、走査パルス SP と高電圧の画素データパルスとの同時印加によって選択消去(書込)放電を生起させるようにしている。しかしながら、放電セル内に残留する荷電粒子の量が少ないと、例えば走査パルス SP 及び高電圧の画素データパルスが同時に印加されても選択消去(書込)放電が正常に生起されず、放電セル内の壁電荷を消去(形成)できない場合がある。この際、例えば A/D 変換後の画素データ D が低輝度を示すデータであっても、最高輝度に対応した発光が為されてしまい、画像品質を著しく低下させるという問題が生じる。そこで、図 30 及び図 31 に示されるが如き発光駆動パターンを採用して、このような誤った発光動作を防止するようにしても良い。尚、図 30 は、上記選択消去アドレス法を採用した場合、図 31 は、選択書込アドレス法を採用した場合に第 2 データ変換回路 34 で用いられる変換テーブル及び発光駆動の全パターンを夫々示している。これら図 30 及び図 31 に示される発光駆動パターンにおいては、図中の黒丸にて示されるが如く、互いに連続した 2 つのサブフィールド各々の画素データ書込行程 W c にて、連続して選択消去(書込)放電を実施するようにしている。かかる動作によれば、例えば、1 回目の選択消去(書込)放電で放電セル内の壁電荷を正常に消滅(形成)させることが出来なくても、2 回目の選択消去(書込)放電により壁電荷の消滅(形成)が正常に行われるので、前述した如き誤った維持発光が防止される。尚、これら 2 回分の選択消去(書込)放電は、互いに連続したサブフィールドで行う必要はない。要するに、1 回目の選択消去(書込)放電が終了した後の、いずれかのサブフィールドで 2 回目の選択消去(書込)放電を行うようにすれば良いのである。

【発明の効果】以上詳述した如く、本発明においては、選択消去(書込)放電が生起されない非選択行、及び維持放電が生起されないサブフィールド各々を、画素データに基づいて予め判別しておき、かかる非選択行に対しては走査パルスの印加を停止し、維持放電が生起されないサブフィールドに対しては維持パルスの印加を停止するようにしている。よって、本発明によれば、プラズマディスプレイパネルに対する上記走査パルス及び維持パルスの印加を停止した分だけ消費電力の低減を図ることが出来る。

#### 【図面の簡単な説明】

【図 1】プラズマディスプレイ装置の概略構成を示す図である。

【図 2】16 階調の中間調表示を実現する為の発光駆動フォーマットの一例を示す図である。

【図 3】PDP 10 に印加される駆動パルスの印加タイミングの一例を示す図である。

【図 4】サブフィールド法による発光駆動パターンの一例を示す図である。

【図 5】本発明による駆動方法に従ってプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の構成を示す図である。

【図 6】図 5 に示されるプラズマディスプレイ装置における発光駆動フォーマットを示す図である。

【図 7】本発明による駆動方法に従って PDP 10 に印加される各種駆動パルスの印加タイミングの一例を示す図である。

【図 8】本発明による駆動方法に従って PDP 10 に印加される各種駆動パルスの印加タイミングの一例を示す図である。

【図 9】本発明による駆動方法に従って PDP 10 に印加される各種駆動パルスの印加タイミングの一例を示す図である。

【図 10】選択消去アドレス法を採用して画素データ書込を行う際における発光駆動パターンと、この発光駆動を実施する際に第 2 データ変換回路 34 で用いられる変換テーブルの一例を示す図である。

【図 11】データ変換回路 30 の内部構成を示す図である。

【図 12】ABL 回路 31 の内部構成を示す図である。

【図 13】データ変換回路 312 における変換特性を示す図である。

【図 14】輝度モードと各サブフィールド毎の発光維持回数との対応関係を示す図である。

【図 15】第 1 データ変換回路 32 における変換特性を示す図である。

【図 16】図 15 に示される変換特性に基づく変換テーブルの一例を示す図である。

【図 17】図 15 に示される変換特性に基づく変換テーブルの一例を示す図である。



【図18】多階調化処理回路33の内部構成を示す図である。

【図19】誤差拡散処理回路330の動作を説明する為の図である。

【図20】ディザ処理回路350の内部構成を示す図である。

【図21】ディザ処理回路350の動作を説明する為の図である。

【図22】選択書込アドレス法を採用した際の発光駆動フォーマットを示す図である。

【図23】選択書込アドレス法を採用した際における発光駆動パターンと、この発光駆動を実施する際に第2データ変換回路34で用いられる変換テーブルの一例を示す図である。

【図24】選択消去アドレス法を採用した際に、一斉リセット行程Rcを1フィールド内において2回実行するようにした発光駆動フォーマットの一例を示す図である。

【図25】選択書込アドレス法を採用した際に、一斉リセット行程Rcを1フィールド内において2回実行するようにした発光駆動フォーマットの一例を示す図である。

【図26】図24及び図25に示される発光駆動フォーマットに基づく発光駆動を行う際に第1データ変換回路32において用いられる変換テーブルの一例を示す図である。

【図27】図24及び図25に示される発光駆動フォー

マットに基づく発光駆動を行う際に第1データ変換回路32において用いられる変換テーブルの一例を示す図である。

【図28】図24に示される発光駆動フォーマットに基づく発光駆動を行う際の発光駆動パターンと、この発光駆動を実施する際に第2データ変換回路34で用いられる変換テーブルの一例を示す図である。

【図29】図25に示される発光駆動フォーマットに基づく発光駆動を行う際の発光駆動パターンと、この発光駆動を実施する際に第2データ変換回路34で用いられる変換テーブルの一例を示す図である。

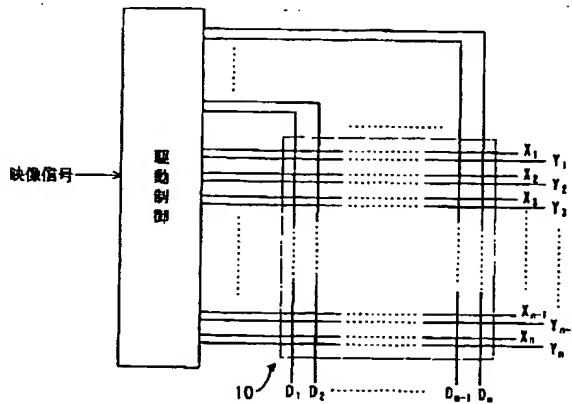
【図30】選択消去アドレス法を採用した際における発光駆動パターンと、この発光駆動を実施する際に第2データ変換回路34で用いられる変換テーブルの他の一例を示す図である。

【図31】選択書込アドレス法を採用した際における発光駆動パターンと、この発光駆動を実施する際に第2データ変換回路34で用いられる変換テーブルの他の一例を示す図である。

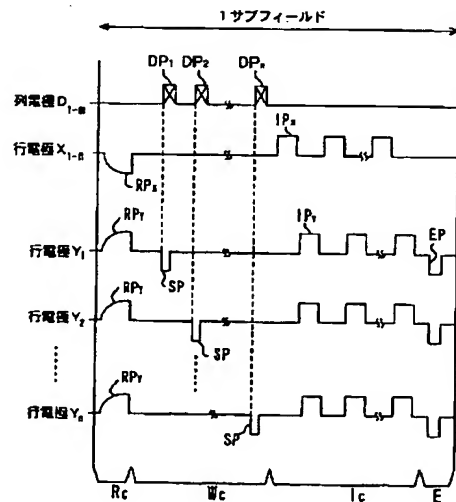
#### 【主要部分の符号の説明】

- 2 駆動制御回路
- 6 アドレスドライバ
- 7 第1サスティンドライバ
- 8 第2サスティンドライバ
- 10 PDP
- 51 非選択行判別回路
- 52 非発光SF判別回路

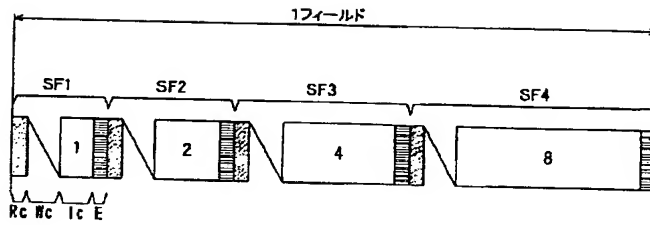
【図1】



【図3】



【図2】

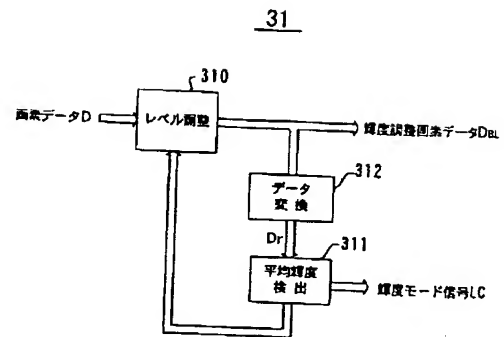


【図4】

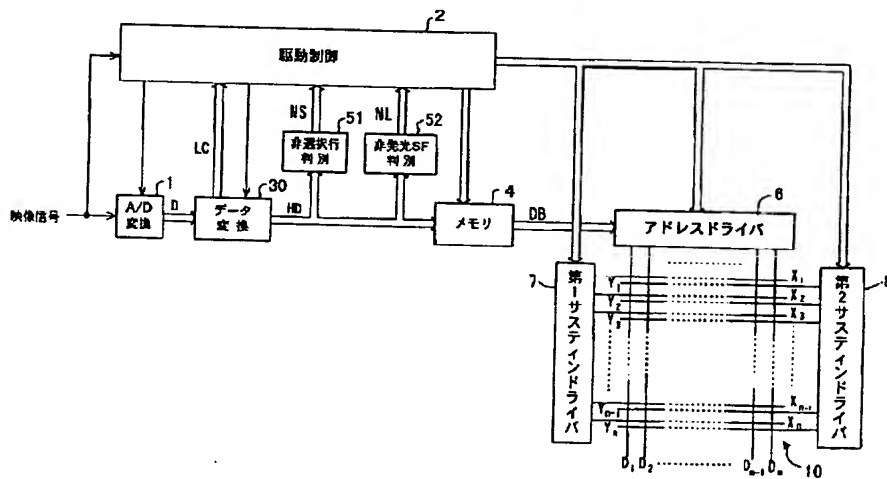
輝度	画素データ	発光パターン			
		SF1	SF2	SF3	SF4
0	1 1 1 1	●	●	●	●
1	0 1 1 1	○	●	●	●
2	1 0 1 1	○	○	●	●
3	0 0 1 1	○	○	○	●
4	1 1 0 1	○	●	○	●
5	0 1 0 1	○	○	○	●
6	1 0 0 1	○	○	○	○
7	0 0 0 1	○	○	○	○
8	1 1 1 0	○	○	○	○
9	0 1 1 0	○	○	○	○
10	1 0 1 0	○	○	○	○
11	0 0 1 0	○	○	○	○
12	1 1 0 0	○	○	○	○
13	0 1 0 0	○	○	○	○
14	1 0 0 0	○	○	○	○
15	0 0 0 0	○	○	○	○

○ 発光SF  
● 非発光SF  
(選択消去放電実施SF)

【図12】



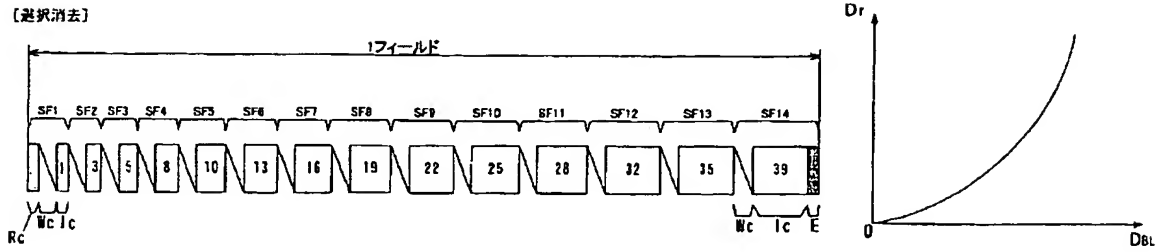
【図5】



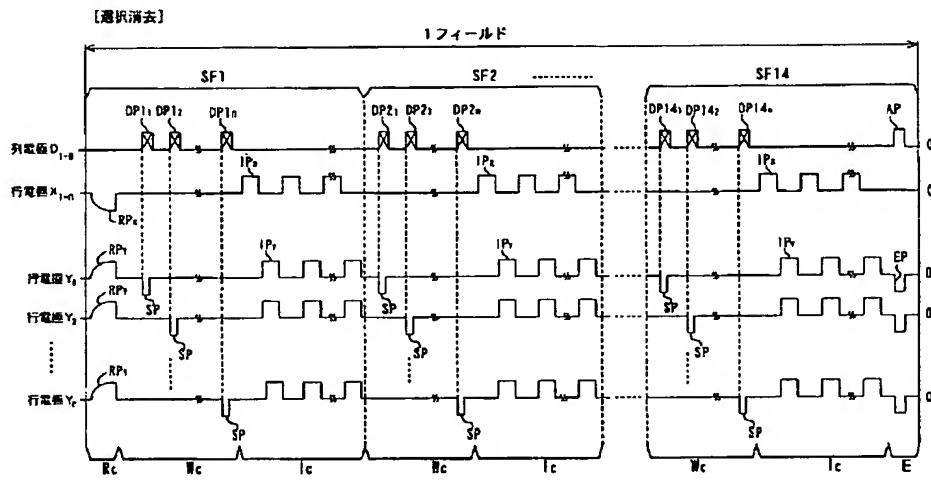


【図6】

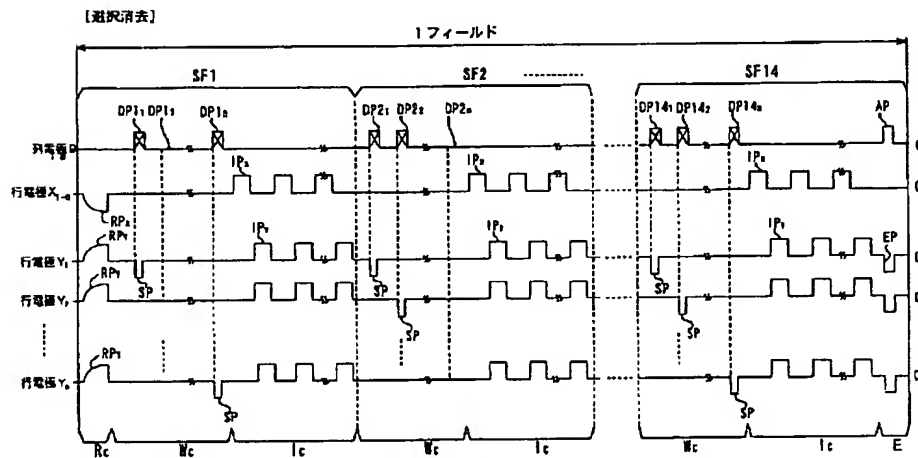
【図13】



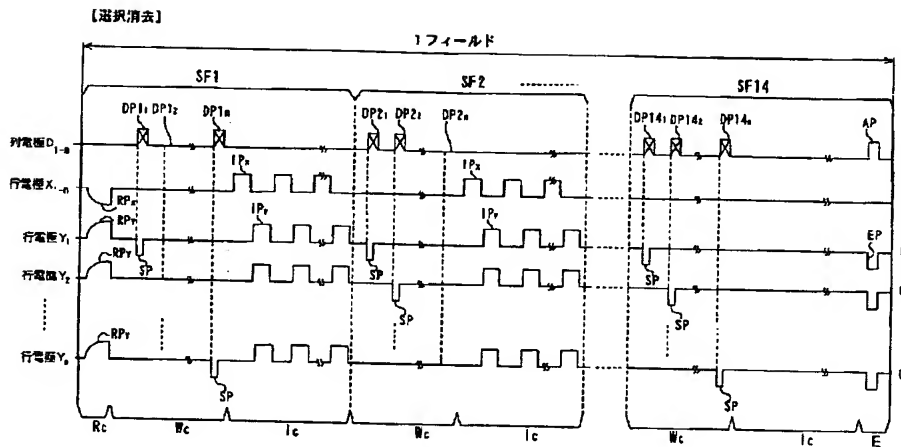
【図7】



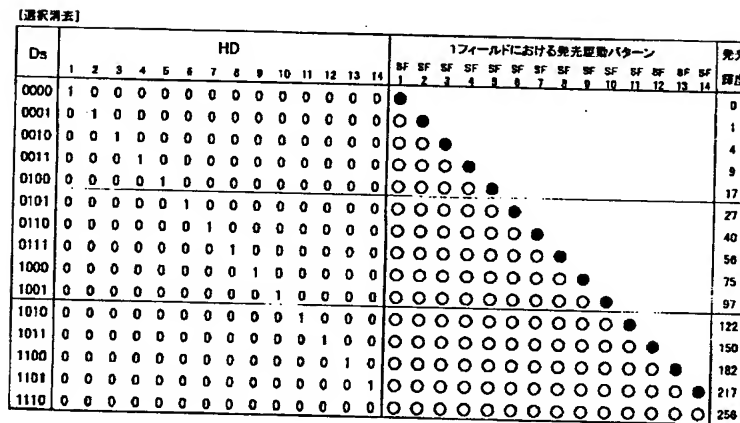
【図8】



【図9】



【図10】

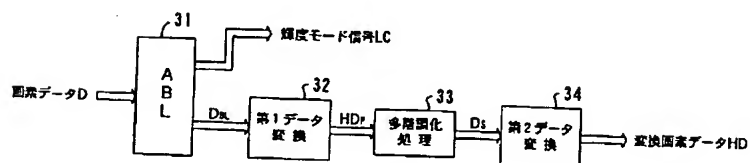


**黒丸：選択消去放電**

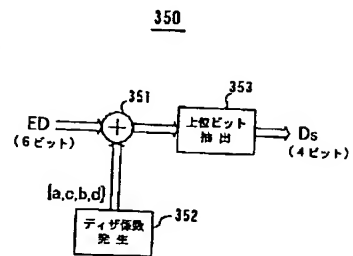
白丸：発売SF

【図 11】

**30**



【図20】



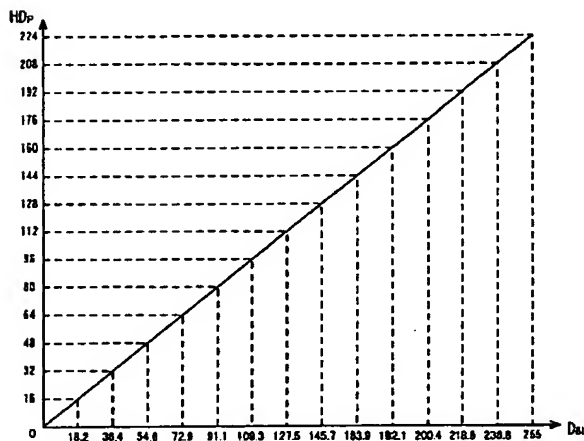
【図14】

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12	SF13	SF14
モード1	1	3	5	8	10	13	16	18	22	26	32	35	39	
モード2	2	6	10	16	20	26	32	38	44	50	56	64	70	78
モード3	3	9	15	24	30	39	48	57	66	75	84	95	105	117
モード4	4	12	20	32	40	52	64	76	88	100	112	128	140	156

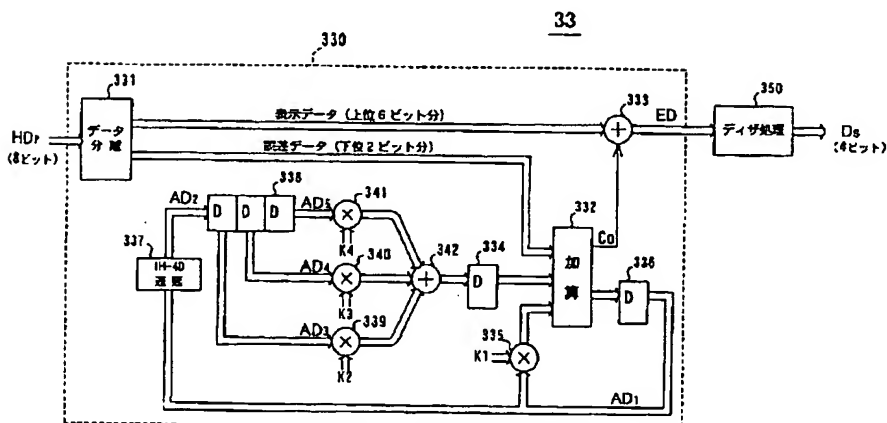
【図16】

列番号	D <sub>0</sub>	列番号	D <sub>0</sub>	列番号	D <sub>0</sub>	列番号	D <sub>0</sub>
0	00000000	0	00000000	64	01000000	58	00111000
1	00000001	1	00000000	65	01000001	57	00111001
2	00000010	2	00000001	66	01000010	56	00111010
3	00000011	3	00000010	67	01000011	55	00111011
4	00000100	4	00000011	68	01000100	54	00111100
5	00000101	5	00000100	69	01000101	53	00111101
6	00000110	6	00000101	70	01000110	52	00111110
7	00000111	7	00000110	71	01000111	51	00111111
8	00001000	8	00000111	72	01001000	50	00100000
9	00001001	9	00001000	73	01001001	49	00100001
10	00001010	10	00001001	74	01001010	48	00100010
11	00001011	11	00001010	75	01001011	47	00100011
12	00001100	12	00001011	76	01001100	46	00100010
13	00001101	13	00001100	77	01001101	45	00100011
14	00001110	14	00001101	78	01001110	44	00100100
15	00001111	15	00001110	79	01001111	43	00100101
16	00001000	16	00001111	80	01010000	42	00100110
17	00001001	17	00001000	81	01010001	41	00100111
18	00001010	18	00001001	82	01010010	40	00101000
19	00001011	19	00001010	83	01010011	39	00101001
20	00001100	20	00001011	84	01010100	38	00101010
21	00001101	21	00001100	85	01010101	37	00101011
22	00001110	22	00001101	86	01010110	36	00101100
23	00001111	23	00001110	87	01010111	35	00101101
24	00001000	24	00001111	88	01011000	34	00101110
25	00001001	25	00001000	89	01011001	33	00101111
26	00001010	26	00001001	90	01011010	32	00101000
27	00001011	27	00001010	91	01011011	31	00101001
28	00001100	28	00001011	92	01011100	30	00101010
29	00001101	29	00001100	93	01011101	29	00101011
30	00001110	30	00001101	94	01011110	28	00101100
31	00001111	31	00001110	95	01011111	27	00101101
32	00100000	32	00001111	96	01000000	26	00101110
33	00100001	33	00010000	97	01000001	25	00101111
34	00100010	34	00010001	98	01000010	24	00101000
35	00100011	35	00010010	99	01000011	23	00101001
36	00100100	36	00010011	100	01000100	22	00101010
37	00100101	37	00010100	101	01000101	21	00101011
38	00100110	38	00010101	102	01000110	20	00101100
39	00100111	39	00010110	103	01000111	19	00101101
40	00101000	40	00010111	104	01010000	18	00101110
41	00101001	41	00010100	105	01010001	17	00101111
42	00101010	42	00010101	106	01010010	16	00101000
43	00101011	43	00010110	107	01010011	15	00101001
44	00101100	44	00010111	108	01010100	14	00101010
45	00101101	45	00010100	109	01010101	13	00101011
46	00101110	46	00010101	110	01010110	12	00101100
47	00101111	47	00010110	111	01010111	11	00101101
48	00110000	48	00010111	112	01100000	10	00101110
49	00110001	49	00010100	113	01100001	9	00101111
50	00110010	50	00010101	114	01100010	8	00101000
51	00110011	51	00010110	115	01100011	7	00101001
52	00110100	52	00010111	116	01100100	6	00101010
53	00110101	53	00010100	117	01100101	5	00101011
54	00110110	54	00010101	118	01100110	4	00101100
55	00110111	55	00010110	119	01100111	3	00101101
56	00111000	56	00010111	120	01110000	2	00101110
57	00111001	57	00010100	121	01110001	1	00101111
58	00111010	58	00010101	122	01110010		
59	00111011	59	00010110	123	01110011		
60	00111100	60	00010111	124	01110100		
61	00111101	61	00010100	125	01110101		
62	00111110	62	00010101	126	01110110		
63	00111111	63	00010110	127	01110111		

【図15】



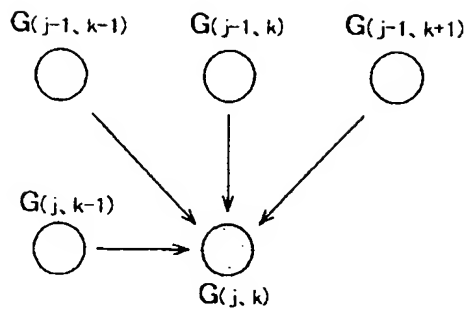
【図18】



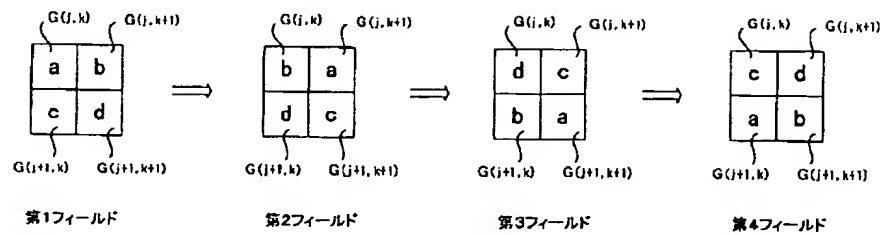
【図17】

D <sub>BL</sub>		HD <sub>P</sub>		D <sub>BL</sub>		HD <sub>P</sub>	
緯度	0 ~ 7	緯度	0 ~ 7	緯度	0 ~ 7	緯度	0 ~ 7
128	10000000	112	01110000	192	11000000	188	10101000
129	10000001	113	01110001	193	11000001	189	10101001
130	10000010	114	01110010	194	11000010	190	10101010
131	10000011	115	01110011	195	11000011	191	10101011
132	10000100	116	01110100	196	11000100	192	10101100
133	10000101	117	01110101	197	11000101	193	10101101
134	10000110	118	01110110	198	11000110	194	10101110
135	10000111	119	01110111	199	11000111	195	10101111
136	10001000	120	01111000	200	11001000	196	10110000
137	10001001	121	01111001	201	11001001	197	10110001
138	10001010	122	01111010	202	11001010	198	10110010
139	10001011	123	01111011	203	11001011	199	10110011
140	10001100	124	01111100	204	11001100	200	10110100
141	10001101	125	01111101	205	11001101	201	10110101
142	10001110	126	01111110	206	11001110	202	10110110
143	10001111	127	01111111	207	11001111	203	10110111
144	10010000	128	10000000	208	11010000	204	10111000
145	10010001	129	10000001	209	11010001	205	10111001
146	10010010	130	10000010	210	11010010	206	10111010
147	10010011	131	10000011	211	11010011	207	10111011
148	10010100	132	10000100	212	11010100	208	10111100
149	10010101	133	10000101	213	11010101	209	10111101
150	10010110	134	10000110	214	11010110	210	10111110
151	10010111	135	10000111	215	11010111	211	10111111
152	10011000	136	10001000	216	11011000	212	11011000
153	10011001	137	10001001	217	11011001	213	11011001
154	10011010	138	10001010	218	11011010	214	11011010
155	10011011	139	10001011	219	11011011	215	11011011
156	10011100	140	10001100	220	11011100	216	11011100
157	10011101	141	10001101	221	11011101	217	11011101
158	10011110	142	10001110	222	11011110	218	11011110
159	10011111	143	10001111	223	11011111	219	11011111
160	10100000	144	10001000	224	11100000	220	11000000
161	10100001	145	10001001	225	11100001	221	11000001
162	10100010	146	10001010	226	11100010	222	11000010
163	10100011	147	10001011	227	11100011	223	11000011
164	10100100	148	10001100	228	11100100	224	11000100
165	10100101	149	10001101	229	11100101	225	11000101
166	10100110	150	10001110	230	11100110	226	11000110
167	10100111	151	10001111	231	11100111	227	11000111
168	10101000	152	10010000	232	11101000	228	11001000
169	10101001	153	10010001	233	11101001	229	11001001
170	10101010	154	10010010	234	11101010	230	11001010
171	10101011	155	10010011	235	11101011	231	11001011
172	10101100	156	10010100	236	11101100	232	11001100
173	10101101	157	10010101	237	11101101	233	11001101
174	10101110	158	10010110	238	11101110	234	11001110
175	10101111	159	10010111	239	11101111	235	11001111
176	10110000	160	10011000	240	11110000	236	11010000
177	10110001	161	10011001	241	11110001	237	11010001
178	10110010	162	10011010	242	11110010	238	11010010
179	10110011	163	10011011	243	11110011	239	11010011
180	10110100	164	10011100	244	11110100	240	11010100
181	10110101	165	10011101	245	11110101	241	11010101
182	10110110	166	10011110	246	11110110	242	11010110
183	10110111	167	10011111	247	11110111	243	11010111
184	10111000	168	10100000	248	11111000	244	11011000
185	10111001	169	10100001	249	11111001	245	11011001
186	10111010	170	10100010	250	11111010	246	11011010
187	10111011	171	10100011	251	11111011	247	11011011
188	10111100	172	10100100	252	11111100	248	11011100
189	10111101	173	10100101	253	11111101	249	11011101
190	10111110	174	10100110	254	11111110	250	11011110
191	10111111	175	10100111	255	11111111	251	11011111

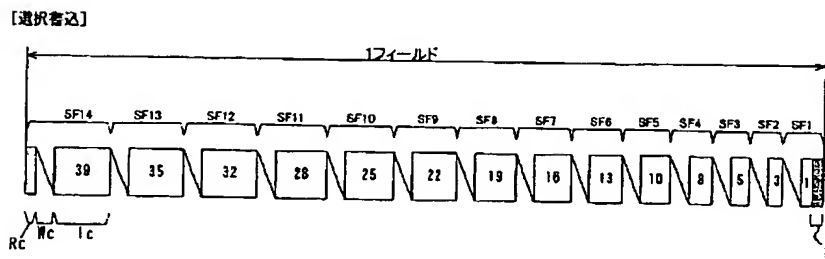
【図19】



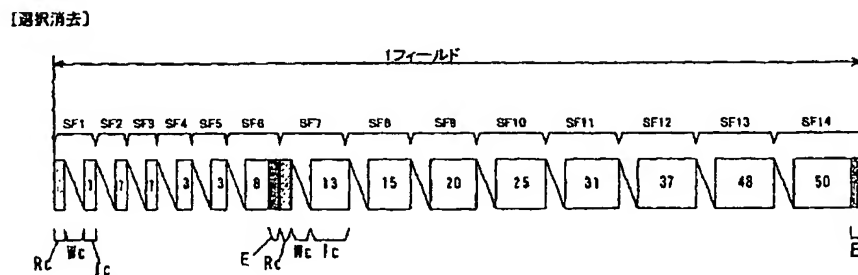
【図21】



【図22】



【図24】



【図23】

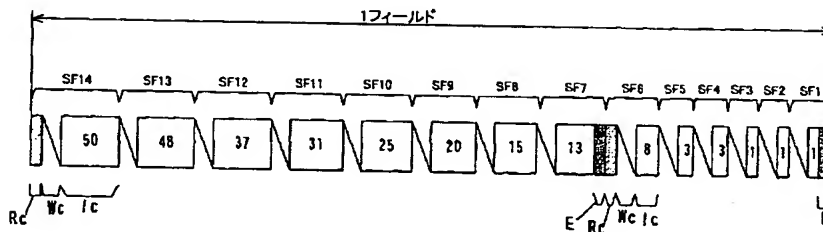
[選択書込]

D <sub>16</sub>	HD														1フィールドにおける発光駆動パターン																発光 輝度
	14	13	12	11	10	9	8	7	6	5	4	3	2	1	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF			
0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0																0	
0001	0	0	0	0	0	0	0	0	0	0	0	0	0	0																1	
0010	0	0	0	0	0	0	0	0	0	0	0	0	0	0																4	
0011	0	0	0	0	0	0	0	0	0	0	0	0	0	1																9	
0100	0	0	0	0	0	0	0	0	0	0	0	0	1	0																17	
0101	0	0	0	0	0	0	0	0	0	0	0	1	0	0																27	
0110	0	0	0	0	0	0	0	0	0	1	0	0	0	0																40	
0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0																56	
1000	0	0	0	0	0	0	1	0	0	0	0	0	0	0																75	
1001	0	0	0	0	0	1	0	0	0	0	0	0	0	0																97	
1010	0	0	0	0	1	0	0	0	0	0	0	0	0	0																122	
1011	0	0	0	1	0	0	0	0	0	0	0	0	0	0																150	
1100	0	0	1	0	0	0	0	0	0	0	0	0	0	0																182	
1101	0	1	0	0	0	0	0	0	0	0	0	0	0	0																217	
1110	1	0	0	0	0	0	0	0	0	0	0	0	0	0																258	

黒丸: 選択書込放電  
白丸: 発光

【図25】

[選択書込]



【図28】

[選択書込]

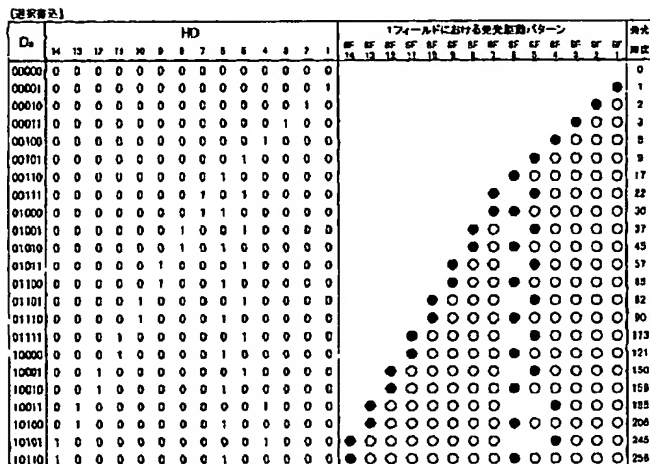
D <sub>16</sub>	HD														1フィールドにおける発光駆動パターン																発光 輝度
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF			
00000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	●															0	
00001	0	1	0	0	0	0	0	0	0	0	0	0	0	0	●	●														1	
00010	0	0	1	0	0	0	0	0	0	0	0	0	0	0		●														2	
00011	0	0	0	1	0	0	0	0	0	0	0	0	0	0		○	○													3	
00100	0	0	0	0	1	0	0	0	0	0	0	0	0	0		○	○													6	
00101	0	0	0	0	0	1	0	0	0	0	0	0	0	0		○	○													5	
00110	0	0	0	0	0	0	1	0	0	0	0	0	0	0		○	○													17	
00111	0	0	0	0	0	1	0	1	0	0	0	0	0	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	22
01000	0	0	0	0	0	0	0	1	0	0	0	0	0	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	30
01001	0	0	0	0	0	1	0	0	0	0	0	0	0	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	37
01010	0	0	0	0	0	0	0	1	0	0	0	0	0	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	45
01011	0	0	0	0	0	1	0	0	0	1	0	0	0	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	87
01100	0	0	0	0	0	0	0	0	0	1	0	0	0	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	85
01101	0	0	0	0	0	1	0	0	0	0	1	0	0	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	82
01110	0	0	0	0	0	0	0	0	0	0	1	0	0	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	90
01111	0	0	0	0	0	1	0	0	0	0	0	1	0	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	118
10000	0	0	0	0	0	0	0	0	0	0	0	0	1	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	129
10001	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	150
10010	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	158
10011	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1		○	○	○	○	○	○	○	○	○	○	○	○	○	○	195
10100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		○	○	○	○	○	○	○	○	○	○	○	○	○	○	206
10101	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	240
10110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		○	○	○	○	○	○	○	○	○	○	○	○	○	○	258

黒丸: 選択書込放電  
白丸: 発光

【図27】

星號	C <sub>0</sub>		HD <sub>0</sub>		C <sub>1</sub>		HD <sub>1</sub>	
	α	β	星號	β	α	β	星號	β
129	100000000	176	0101100000	192	110000000	255	100001000	265
131	100000001	178	0110100010	193	110000001	256	100001010	266
130	100000010	179	0101100011	194	110000010	257	100001011	267
132	100000011	180	0101101000	195	110000011	258	100001100	268
134	100000012	182	0101101001	196	110000012	259	100001101	269
133	100000013	183	0101101010	197	110000013	260	100001110	270
135	100000014	184	0101101011	198	110000014	261	100001111	271
136	100000015	185	0110110100	199	110000015	262	100010000	272
137	100000016	186	0110110101	200	110000016	263	100010001	273
139	100000018	188	0110110110	201	110000018	264	100010010	274
141	100000019	189	0110110111	202	110000019	265	100010011	275
137	100000100	191	0110111000	203	110000100	266	100010100	276
140	100000101	192	0110000100	204	110000101	267	100010101	277
141	100000101	194	0110000101	205	110000101	268	100010110	278
142	100000110	196	0100001000	206	110000110	269	100010111	279
144	100000111	197	0100001001	207	110000111	270	100011000	280
145	100000000	198	0100001010	208	110000000	271	100011001	281
146	100000001	200	0100001011	209	110000001	272	100011010	282
147	100000010	202	0100101010	211	110000010	273	100011011	283
148	100000011	203	0100101011	212	110000011	274	100011100	284
149	100000012	204	0100101100	213	110000012	275	100011101	285
150	100000013	207	0100101101	214	110000013	276	100011110	286
151	100000014	206	0100100000	215	110000014	277	100011111	287
152	100010000	205	0101000001	216	110010000	278	100011000	288
153	100010001	211	0101000010	217	110010001	279	100011001	289
154	100010010	212	0101000011	218	110010010	280	100011010	290
155	100010011	213	0101001000	219	110010011	281	100011011	291
156	100010012	215	0101001011	220	110010012	282	100011100	292
157	100010013	216	0101001010	221	110010013	283	100011101	293
158	100010014	218	0101001100	222	110010014	284	100011110	294
159	100010015	219	0101001101	223	110010015	285	100011111	295
160	101000000	220	0101010100	224	110000000	286	100011000	296
161	101000001	222	0101010101	225	110000001	287	100011001	297
162	101000010	223	0101011100	226	110000010	288	100011001	298
163	101000011	225	0101011101	227	110000011	289	100011010	299
164	101000012	226	0101000000	228	110000012	290	100011011	300
165	101000013	227	0110000001	229	110000013	291	100011100	301
166	101000014	228	0110000010	230	110000014	292	100011101	302
167	101000015	230	0110000100	231				
168	101000020	231	0110000101	232				
169	101000021	232	0110000110	233	110100100	321	101000000	311
170	101000010	234	0110101010	234	110100101	322	101000001	312
171	101000011	236	0010101000	235	110100110	323	101000000	313
172	101001010	237	0110101010	236	010100100	326	101000001	314
173	101001011	238	0110101100	237	110100101	327	101000001	315
174	101010110	241	0110100010	238	110100110	328	101000001	316
175	101010111	241	0111000010	238	110100111	329	101000001	317
176	011000000	242	0111000010	240	111000000	331	101001010	318
177	011000001	244	0111001000	241	111000001	332	101001011	319
178	011000010	245	0111001010	242	111000010	333	101001010	320
179	011000101	247	0111001100	243	111000011	334	101001011	321
180	010100100	244	0111100000	244	111010000	336	101000000	322
181	011010101	249	0111100100	245	111010001	337	101000001	323
182	010100110	251	0111101101	246	111010010	338	101000001	324
183	010100111	252	0111101100	247	111010011	340	101000001	325
184	011010000	253	0110000000	248	111010012	341	101000001	326
185	011010001	255	0111111111	249	111010013	343	101001010	327
186	011010100	256	1000000000	250	111010100	345	101001000	328
187	011010101	258	0000000010	251	111010101	346	101001001	329
188	011010110	259	1000000011	252	111010102	347	101001010	330
189	011011000	260	0000000010	253	111010103	348	101001011	331
190	011011010	262	1000000100	254	111011000	350	101001011	332
191	010111111	263	0000000011	254	111011001	351	101000000	333

【图29】



黑丸：遊快車迅放電  
白丸：變光

【図30】

【選択消去】

Ds	HD														1フィールドにおける発光駆動パターン																発光 輝度
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	SF 1	SF 2	SF 3	SF 4	SF 5	SF 6	SF 7	SF 8	SF 9	SF 10	SF 11	SF 12	SF 13	SF 14			
0000	1	1	0	0	0	0	0	0	0	0	0	0	0	0	●	●														0	
0001	0	1	1	0	0	0	0	0	0	0	0	0	0	0	○	●	●													1	
0010	0	0	1	1	0	0	0	0	0	0	0	0	0	0	○	○	●	●												4	
0011	0	0	0	1	1	0	0	0	0	0	0	0	0	0	○	○	○	●	●											9	
0100	0	0	0	0	1	1	0	0	0	0	0	0	0	0	○	○	○	○	●	●										17	
0101	0	0	0	0	0	1	1	0	0	0	0	0	0	0	○	○	○	○	○	●	●									27	
0110	0	0	0	0	0	0	1	1	0	0	0	0	0	0	○	○	○	○	○	○	●	●								40	
0111	0	0	0	0	0	0	0	1	1	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		56	
1000	0	0	0	0	0	0	0	0	1	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		75	
1001	0	0	0	0	0	0	0	0	0	1	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		97	
1010	0	0	0	0	0	0	0	0	0	0	1	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		122	
1011	0	0	0	0	0	0	0	0	0	0	0	1	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		150	
1100	0	0	0	0	0	0	0	0	0	0	0	0	1	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○		182	
1101	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○		217	
1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		256	

黒丸:選択消去放電  
白丸:発光

【図31】

【選択消去】

D <sub>5</sub>	HD														1フィールドにおける発光駆動パターン														発光 輝度
	14	13	12	11	10	9	8	7	6	5	4	3	2	1	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	
0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0															0
0001	0	0	0	0	0	0	0	0	0	0	0	0	0	0															1
0010	0	0	0	0	0	0	0	0	0	0	0	0	0	1															4
0011	0	0	0	0	0	0	0	0	0	0	0	0	1	1															9
0100	0	0	0	0	0	0	0	0	0	0	0	1	1	0															17
0101	0	0	0	0	0	0	0	0	0	0	1	1	0	0															27
0110	0	0	0	0	0	0	0	0	1	1	0	0	0	0															40
0111	0	0	0	0	0	0	0	1	1	0	0	0	0	0															56
1000	0	0	0	0	0	0	1	1	0	0	0	0	0	0															75
1001	0	0	0	0	0	1	1	0	0	0	0	0	0	0															97
1010	0	0	0	0	1	1	0	0	0	0	0	0	0	0															122
1011	0	0	0	1	1	0	0	0	0	0	0	0	0	0															150
1100	0	0	1	1	0	0	0	0	0	0	0	0	0	0															182
1101	0	1	1	0	0	0	0	0	0	0	0	0	0	0															217
1110	1	1	0	0	0	0	0	0	0	0	0	0	0	0															256

黒丸:選択消去放電  
白丸:発光